

Diplomová práce



**České
vysoké
učení technické
v Praze**

F3

**Fakulta elektrotechnická
Katedra elektrických pohonů a trakce**

Návrh a realizace řídicího algoritmu nabíječky elektromobilu s SiC prvky

Bc. Vladislav Walter Nürnberger

Vedoucí: Ing. Pavel Skarolek

Studijní program: Elektrotechnika, energetika a management

Obor: Elektrické pohony

Květen 2021



ZADÁNÍ DIPLOMOVÉ PRÁCE

I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Nürnberg** Jméno: **Vladislav Walter** Osobní číslo: **434687**
Fakulta/ústav: **Fakulta elektrotechnická**
Zadávající katedra/ústav: **Katedra elektrických pohonů a trakce**
Studijní program: **Elektrotechnika, energetika a management**
Specializace: **Elektrické pohony**

II. ÚDAJE K DIPLOMOVÉ PRÁCI

Název diplomové práce:

Návrh a realizace řídicího algoritmu nabíječky elektromobilu s SiC prvky

Název diplomové práce anglicky:

Design and application of electric vehicle SiC based charger control algorithm

Pokyny pro vypracování:

- 1) Proveďte studii literatury ohledně řízení měničů s PFC
- 2) Navrhněte řídicí smyčku izolovaného měniče s PFC
- 3) Napište řídicí SW měniče a odlaďte na procesoru STM32F334
- 4) Proveďte měření vstupních a výstupních parametrů měniče

Seznam doporučené literatury:

1. S. F. Lim and A. M. Khambadkone.: A Simple Digital DCM Control Scheme for Boost PFC Operating in Both CCM and DCM. IEEE Transactions on Industry Applications, 2011.
2. Pavelka, J., Zděnek, J.: Elektrické pohony a jejich řízení. České vysoké učení technické v Praze, Praha 2010
3. Billings K., Morey, T.: Switchmode power supply handbook. New York: McGraw-Hill 2011
4. ST Microelectronics Inc., < <http://www.st.com> >

Jméno a pracoviště vedoucí(ho) diplomové práce:

Ing. Pavel Skarolek, katedra elektrických pohonů a trakce FEL

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) diplomové práce:

Datum zadání diplomové práce: **13.02.2020**

Termín odevzdání diplomové práce: **21.05.2021**

Platnost zadání diplomové práce: **30.09.2021**

Ing. Pavel Skarolek
podpis vedoucí(ho) práce

podpis vedoucí(ho) ústavu/katedry

prof. Mgr. Petr Páta, Ph.D.
podpis děkana(ky)

III. PŘEVZETÍ ZADÁNÍ

Diplomant bere na vědomí, že je povinen vypracovat diplomovou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v diplomové práci.

_____ Datum převzetí zadání

_____ Podpis studenta

Poděkování

Děkuji Ing. Pavlu Skarolkovi za odborné vedení, cenné rady a pomoc při zpracování této diplomové práce.

Prohlášení

Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

V Praze dne 21. května 2021

.....

Abstrakt

Cílem práce je návrh a realizace řídicího algoritmu pro síťovou nabíječku elektromobilu obsahující SiC spínací prvky. Součástí nabíječky je aktivní PFC, které je realizováno pomocí boost měniče.

Vzhledem k tomu, že měnič pracuje již od 5 % jmenovitého výkonu v CCM, je pro řízení vybrán jednoduchý algoritmus ACC doplněný o DFF a VFF.

Regulační struktura sestává ze tří PI regulátorů: vstupního proudu, výstupního napětí a výstupního proudu. Konstanty regulátorů jsou nalezeny metodou kompenzace Bodeho diagramu otevřené regulační smyčky pomocí programu MATLAB Sisotool.

Samotné řízení je digitálně implementováno pomocí MCU ARM Cortex M4. Optimalizací programu v obsluze přerušování je dosaženo výpočetní frekvence regulátoru vstupního proudu 100 kHz. Výpočetní frekvence zbylých regulátorů je volena 200 Hz.

Návrh regulační struktury je ověřen na 2kW prototypu nejprve na sníženém vstupním napětí 75 V při výstupním výkonu 400 W a následně na napětí 230 V při výstupním výkonu 1,73 kW. Na oscilogramech je patrný velký podíl první harmonické v odebíraném proudu. Porovnáním vstupního zdánlivého výkonu a výstupního činného výkonu byl stanoven součin účinnosti a účinníku zařízení v daném pracovním bodě na 0,94 ($V_{in} = 230$ V, $P_{out} = 1,73$ kW, $V_{out} = 200$ V).

Klíčová slova: nabíječka elektromobilu, aktivní PFC, SiC, ACC algoritmus, DFF, VFF

Vedoucí: Ing. Pavel Skarolek
ČVUT v Praze,
Fakulta elektrotechnická,
Katedra elektrických pohonů a trakce,
Technická 2
166 27 Praha 6

Abstract

The aim of this thesis is to design and implement a control algorithm for an electric vehicle SiC-based line charger. The charger includes an active PFC that is implemented using a boost converter.

Since the converter operates from 5 % of the rated power in the CCM, a simple ACC algorithm supplemented with DFF and VFF is selected for control.

The control structure consists of three PI controllers: input current, output voltage and output current controller. The controller constants are found by the method of compensating the Bode diagram of the open control loop using the MATLAB Sisotool program.

The control itself is digitally implemented using the ARM Cortex M4 MCU. By optimizing the program in interrupt service routine, the computing frequency of the input current regulator of 100 kHz is achieved. The computing frequency of the remaining controllers is selected to 200 Hz.

The design of the control structure is verified on a 2kW prototype, firstly at a reduced input voltage of 75 V at an output power of 400 W and subsequently on a voltage of 230 V at an output power of 1.73 kW. The oscillograms show a large proportion of the first harmonic in the current drawn. By comparing the input apparent power and the output active power, the product of the efficiency and power factor of the device at a given operating point was determined to be 0.94 ($V_{in} = 230$ V, $P_{out} = 1.73$ kW, $V_{out} = 200$ V).

Keywords: electric vehicle charger, active PFC, SiC, ACC algorithm, DFF, VFF

Title translation: Design and application of electric vehicle SiC-based charger control algorithm.

Obsah

Úvod	1	5.2.1 DMA ISR.....	37
1 Korekce účinníku u spínaných zdrojů	3	5.2.2 Program na pozadí.....	38
1.1 Klasická definice účinníku.....	3	5.3 Asynchronní akce.....	39
1.2 Definice účinníku pro nelineární zátěž.....	3	5.3.1 Watchdog ADC2.....	39
1.3 Metody korekce účinníku u SMPS.	5	5.3.2 Přerušení od CAN.....	40
1.4 Boost měnič.....	6	5.4 FSM.....	40
1.4.1 Pracovní režimy boost měniče	7	5.4.1 Stav „Brownout“.....	40
2 Algoritmy PFC	11	5.4.2 Stav „Load Check“.....	40
2.1 ACC.....	12	5.4.3 Stav „Softstart OutputCap“	40
2.1.1 Vzorkování.....	13	5.4.4 Stav „Softstart Battery“....	40
2.2 Nedostatky ACC a jejich řešení.	15	5.4.5 Stav „Run“.....	41
2.2.1 Duty Feed-Forward.....	16	5.4.6 Stav „Fully Charged“.....	41
2.2.2 Úprava měřeného signálu výstupního napětí.....	17	5.4.7 Stav „Over Current“.....	41
2.2.3 Voltage Feed-Forward.....	18	5.4.8 Stav „Over Voltage“.....	41
2.2.4 Korekce vzorkovaného proudu v DCM.....	19	6 Měření na prototypu	43
2.2.5 Různé regulátory pro DCM a CCM.....	20	6.1 Měření na sníženém napětí 75 V	43
2.2.6 PLL.....	21	6.1.1 Vstupní veličiny.....	44
3 Popis prototypu	23	6.1.2 Výstupní veličiny.....	47
3.1 Stanovení pracovního režimu měniče.....	25	6.2 Měření na 230 V.....	49
4 Návrh regulační struktury	27	6.2.1 Stanovení účinnosti a účinníku měniče.....	50
4.1 Odvození konstant PI regulátorů	28	Závěr	53
4.1.1 Přenosy otevřených regulačních smyček.....	28	Literatura	55
4.1.2 Přenosy jednotlivých bloků..	28	A Seznam zkratk	59
4.1.3 Ekvivalentní obvod.....	30	B Seznam symbolů	61
4.1.4 Kompenzace otevřené regulační smyčky.....	32	C Obvodové schéma	65
4.1.5 Diskretizace regulátoru.....	33	D Fotografie prototypu nabíječky	67
4.2 Anti-windup.....	33	E Seznam elektronických příloh	69
5 Implementace v MCU	35		
5.1 Použité periferie procesoru.....	35		
5.1.1 HRTIM.....	35		
5.1.2 TIM2.....	35		
5.1.3 ADC.....	36		
5.1.4 DMA.....	36		
5.1.5 CAN.....	36		
5.2 Popis synchronních operací v programu.....	36		

Obrázky

1.1	Usměrňovací obvod s vyhlazovacím kondenzátorem	4	6.5	Oscilogram výstupních veličin při napájení 75 V	47
1.2	Průběh síťového napětí a odebíraného proudu zatíženého usměrňovače s vyhlazovacím kondenzátorem	4	6.6	Oscilogram výstupních veličin při napájení 75 V	48
1.3	FFT vstupního proudu i_{in} usměrňovacího obvodu podle zapojení na obrázku 1.1	5	6.7	Oscilogram vstupních veličin při napájení 230 V	49
1.4	Obvodové zapojení boost měniče	6	6.8	Oscilogram vstupních veličin při napájení 230 V	50
1.5	Obvodové zapojení boost měniče v PFC aplikaci	7	C.1	Obvodové schéma	66
2.1	Klasická struktura digitálně implementovaného PFC	12	D.1	Fotografie prototypu nabíječky	68
2.2	Průběh proudu tlumivkou při CCM	14			
2.3	Klasická struktura digitálně implementovaného PFC doplněná o DFF	17			
2.4	Klasická struktura digitálně implementovaného PFC s VFF	19			
2.5	Průběh proudu tlumivkou při DCM a odvození korekčního faktoru	20			
2.6	Klasická struktura digitálně implementovaného PFC doplněná o PLL vstupního napětí	21			
3.1	Silové schéma	24			
4.1	Navržená regulační struktura	27			
4.2	Zjednodušený silový obvod	31			
4.3	Ekvivalentní silový obvod	31			
4.4	Bodeho diagramy kompenzovaných regulačních smyček	34			
5.1	Časování programu	37			
5.2	Sekvence operací programu	39			
5.3	Stavový automat nabíječky	42			
6.1	Zapojení při měření na sníženém napětí 75 V	43			
6.2	Oscilogram vstupních veličin při napájení 75 V	44			
6.3	Oscilogram vstupních veličin při napájení 75 V	45			
6.4	Data z MCU	46			

Tabulky

3.1 Parametry vybraných součástek tvořících silový obvod prototypu ..	25
3.2 Parametry prototypu	25
3.3 Pracovní režimy měniče v závislosti na výkonu	26
4.1 Parametry pracovního bodu použitého k určení konstant regulátorů	32
4.2 Nalezené konstanty regulátorů a parametry Bodeho diagramu kompenzované otevřené regulační smyčky	32
4.3 Nalezené konstanty digitálních regulátorů	33
5.1 Seznam použitých periférií	35
6.1 Vstupní a výstupní veličiny při měření na síťovém napětí	50
A.1 Seznam zkratek	60
B.1 Seznam symbolů	63

Úvod

Diplomová práce se zabývá návrhem a realizací softwaru palubní nabíječky elektromobilu. Hardware zařízení byl již dříve sestaven v rámci bakalářské práce autora. Jako výkonové spínací prvky jsou použity SiC¹ MOSFET tranzistory. Součástky vyrobené touto technologií mají lepší vlastnosti než klasické křemíkové součástky a to především nižší spínací ztráty. [40] Použitím technologie SiC ve výkonových měničích elektromobilu dojde ke zvýšení celkové účinnosti přeměny energie. V případě měniče pro motor se vyšší účinnost bezprostředně projeví na zvýšeném dojezdu elektromobilu. U palubních nabíječek nelze přímo pozorovat efekt zvýšení dojezdu, přesto je ale rozumné zvyšovat i účinnost nabíjení a to nejen kvůli minimalizaci spotřeby elektrické energie. Pokud má totiž palubní nabíječka nižší ztráty, lze ji s ohledem na požadované chlazení udělat menší, případně je možné osadit elektromobil palubní nabíječkou vyššího výkonu, čímž se zkrátí doba nabíjení elektromobilu.

Na palubní nabíječky se v současnosti vztahuje norma EN 61000-3-2, která limituje odběr vyšších harmonických složek proudu ze sítě. [41] Norma nepřímo požaduje, aby zařízení pracovala s vysokým celkovým účinnkem. Důvodem pro zavedení normy byla snaha zabránit nežádoucímu zkreslení napětí sítě, které SMPS² bez PFC³ způsobují.

Cílem práce je navrhnout regulační strukturu tak, aby se tvar odebíraného proudu blížil síťovému napětí a zároveň fázový posun napětí a proudu byl minimální. V ideálním případě by zařízení mělo z pohledu sítě vykazovat takřka čistě odporové chování a pracovat s celkovým účinnkem blížícím se k jedné. Dodatečně musí regulační struktura umožnit úpravu hodnoty stejnosměrného napětí a proudu na výstupu, což vyplývá z aplikace měniče jakožto nabíječky. Volba správné metody aktivního PFC představovala hlavní výzvu při návrhu regulační struktury zařízení, a proto je jí v práci věnováno mnoho pozornosti.

Práci je možné rozdělit na teoretickou a praktickou část.

V první kapitole je blíže představena problematika PFC u spínaných zdrojů a jsou uvedeny možnosti kompenzace účinnku. Následně je představena topologie boost měniče, který je nejčastěji používán pro PFC u SMPS. Jsou uvedeny výhody a nevýhody pracovních módů boost měniče a jejich aplikace. Druhá kapitola představuje řídicí strukturu digitálně řízeného aktivního PFC s ACC⁴ algoritmem. Jsou popsána úskalí této řídicí struktury a jejich možná řešení. Tyto první dvě kapitoly tvoří teoretickou část práce.

Následuje praktická část diplomové práce, která je věnována návrhu konkrétní regulační struktury pro měnič a její digitální realizaci mikroprocesorem. Třetí kapitola představuje

¹křemík křemíku

²Switched-Mode Power Supply/Spínaný zdroj

³Power Factor Correction/Korekce účinnku

⁴Average Current Control

hardware nabíječky a silové schéma zapojení. V čtvrté kapitole je popsána zvolená regulační struktura a jsou odvozeny konstanty regulátorů. Pátá kapitola se věnuje implementaci v MCU. Jsou uvedeny použité periferie mikroprocesoru a jejich časování. Také je představena sekvence operací na pozadí programu a v přerušení. Dále je popsán stavový automat, který má na starosti nadřazené řízení nabíječky. V šesté kapitole jsou prezentovány výsledky experimentálního ověření.

Kapitola 1

Korekce účinníku u spínaných zdrojů

SMPS nacházejí uplatnění tam, kde je nutné usměrnit a dále upravit střídavé napětí sítě na vyhlazené stejnosměrné napětí. Typické aplikace jsou: počítače, monitory, televizory a nabíječky. Z důvodu zvyšujícího se podílu SMPS na spotřebě elektrické energie bylo nutné pro tyto spotřebiče definovat požadavky na korekci účinníku. Pokud by nebyla dbána pozornost proudu, který SMPS odebírají ze sítě, mohlo by s jejich rostoucím nasazením docházet k problémům v distribuční soustavě.

1.1 Klasická definice účinníku

Klasická definice účinníku je popsána vzorcem:

$$\cos \varphi = \frac{P_1}{S_1} \quad (1.1)$$

kde P_1 je činný výkon první harmonické, S_1 je zdánlivý výkon první harmonické a φ je fázový posun mezi průběhem napětí a proudu. Takto definovaný účinník má smysl uvažovat u lineárních zátěží, u kterých má odebíraný proud pouze první harmonickou složku. U čistě odporové zátěže je fázový posun φ mezi průběhy napětí a proudu roven nule a hovoříme o účinníku rovném jedné. U zátěží s induktivní nebo kapacitní složkou dochází k nenulovému fázovému posunu φ a proud předbíhá, respektive se zpožďuje za napětím.

Kompenzace účinníku u lineární zátěže je přímočará. Provádí se zařazením kondenzátoru nebo indukčnosti o vhodné velikosti paralelně ke kompenzované zátěži. Charakter kompenzátoru musí být opačný než charakter kompenzované zátěže. Pro kapacitní zátěž bychom volili indukčnost a pro induktivní zátěž kondenzátor.

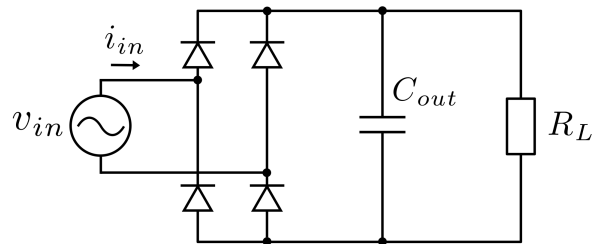
Pokud se charakter zátěže mění se zatížením, je možné použít kompenzátor s polovodičovým spínacím prvkem (například Static VAR compensator), nebo synchronní kompenzátor [6], který zajistí odpovídající velikost kompenzačního proudu. [2]

Při správné kompenzaci se paralelní kombinace zátěže a kompenzátoru z pohledu sítě jeví jako čistě odporová zátěž.

1.2 Definice účinníku pro nelineární zátěž

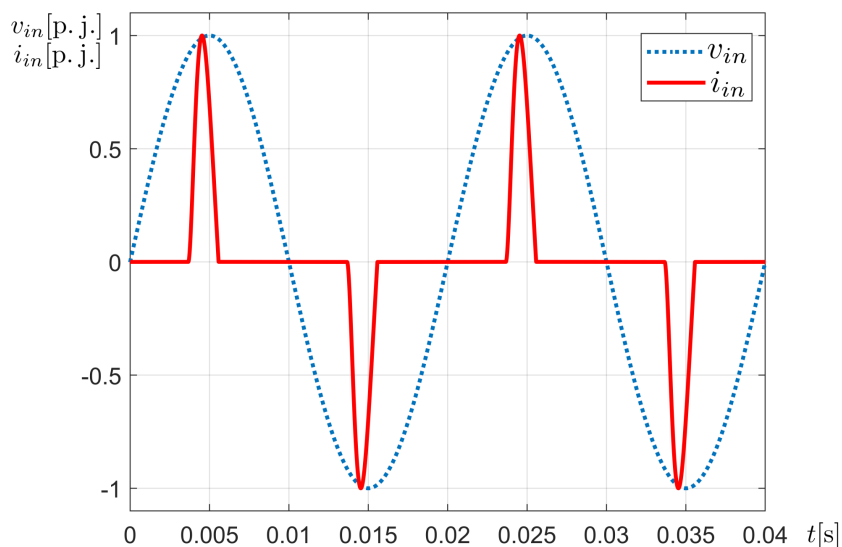
SMPS představují nelineární zátěž, a proto je u nich otázka účinníku komplikovanější. Příčinou nelineárního chování je vstupní usměrňovací můstek a vyhlazovací kondenzátor. Příklad takového

obvodu s plným můstkem je zobrazen na obrázku 1.1. Obvod je na výstupu doplněn odporovou zátěží.



Obrázek 1.1: Usměrňovací obvod s vyhlazovacím kondenzátorem

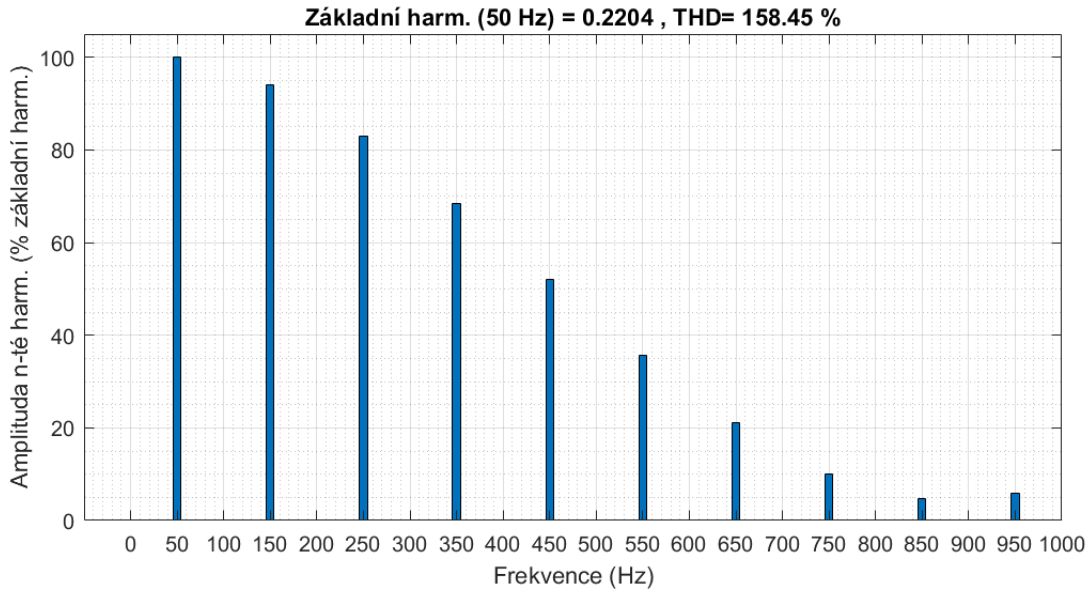
Pokud vyšetříme chování tohoto obvodu, zjistíme, že obvod odebírá proud právě tehdy, když je okamžitá hodnota vstupního napětí větší, než je okamžitá hodnota napětí na kondenzátoru. Průběh odebíraného proudu je na obrázku 1.2.



Obrázek 1.2: Průběh síťového napětí a odebíraného proudu zatíženého usměrňovače s vyhlazovacím kondenzátorem (MATLAB Simulink)

Proud je odebírán pouze v krátkém časovém okně v blízkosti maxima síťového napětí. Toto vodivé okno odpovídá přibližně 10–20 % doby trvání půlperiody síťového napětí a ve zbylé době je impedance obvodu z pohledu sítě nekonečná. Během doby vedení je nutné přenést veškerý výkon odebraný zátěží, proto dochází k velké proudové špičce. [46] Klasická definice účinníku nemá u tohoto obvodu smysl. Výraz (1.1) uvažuje pouze první harmonickou složku proudu a popsal by pouze malý fázový rozdíl, který je na průběhu patrný.

Z průběhu proudu můžeme usoudit velký podíl lichých harmonických. FFT odebíraného proudu je zobrazena na obrázku 1.3.



Obrázek 1.3: FFT vstupního proudu i_{in} usměrňovacího obvodu podle zapojení na obrázku 1.1 [$v_{in}(t) = 230\sqrt{2}\sin(100\pi t)$, $C_{out} = 470 \mu\text{F}$, $R_L = 200 \Omega$, MATLAB Simulink, Powergui]

Aby bylo možné popsat účinník i u nelineárních zátěží, je nutné kromě vlivu fázového posunu zohlednit i vliv vyšších harmonických složek proudu. Takto rozšířená definice účinníku se nazývá skutečný účinník [4]:

$$\lambda = \frac{\cos \varphi}{\sqrt{1 + THD^2}} = \frac{P_1}{S} \quad (1.2)$$

Kde THD je Total Harmonic Distortion udávající podíl vyšších harmonických složek proudu I_n k základní harmonické I_1 podle vztahu [46]:

$$THD = \frac{\sqrt{\sum_{n=2}^{\infty} I_n^2}}{I_1} \quad (1.3)$$

Všimněme si, že pro skutečný účinník λ podle (1.2) platí, že jej lze určit z podílu výkonu první harmonické ke zdánlivému výkonu. V tomto případě je ale nutné uvažovat celkový zdánlivý výkon definovaný podle:

$$S = \sqrt{P_1^2 + Q_1^2 + D^2} \quad (1.4)$$

kde Q_1 je jalový výkon první harmonické a D je deformační výkon způsobený vyššími harmonickými složkami proudu. [4]

1.3 Metody korekce účinníku u SMPS

Metody zlepšení účinníku u SMPS dělíme na pasivní a aktivní. Pasivní metody využívají vhodné zapojení pasivních součástek, jako jsou tlumivky a kondenzátory. Příkladem může být použití filtru typu dolní propust na vstupu usměrňovače v sérii se sítí. [2,22] Pasivní metody kompenzace se používají především u aplikací malých výkonů. Historicky se používaly například u zářivkových

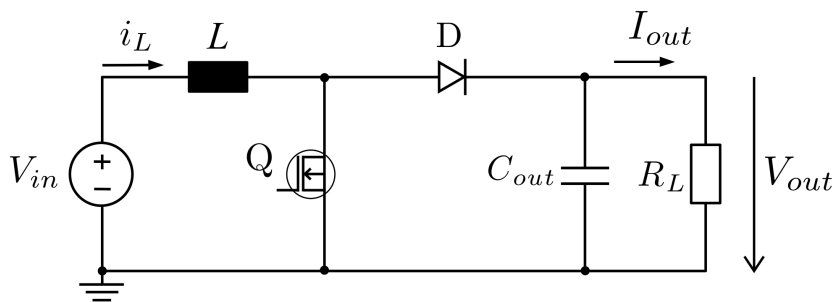
svítidel. [2] Výhody pasivních metod jsou jednoduchost zapojení a absence řízení. Nevýhodou je dosažení nižší korekce než u aktivních metod. Pasivním PFC lze zřídka dosáhnout účinníku většího než 0,9. [2]

Pokud chceme dosáhnout lepšího účinníku, musíme použít aktivní metody PFC. Aktivní metody PFC využívají spínané polovodičové součástky, pomocí nichž se snažíme docílit toho, aby měl odebíraný proud ze sítě průběh odpovídající síťovému napětí. Aktivní PFC je vhodné i pro aplikace velkého výkonu a lze ním dosáhnout účinníku lepšího než 0,99. [31, 33]

Při použití aktivního PFC se nejčastěji volí boost měnič na výstupu usměrňovacího můstku. Boost měnič má v PFC aplikaci několik výhod. Mezi ně patří schopnost regulovat vstupní proud během celé periody usměrněného napětí. Narozdíl od buck měniče odebírá boost měnič spojitý proud ze sítě. Proto je možné použitím boost měniče dosáhnout nejmenšího zvlnění proudu a jsou redukovány požadavky na EMI filtr. [2, 22]

1.4 Boost měnič

Základ boost měniče tvoří kombinace tlumivky, polovodičového spínače, diody a vyhlazovacího kondenzátoru dle obrázku 1.4. Pro boost měnič platí, že napětí na výstupu je větší nebo rovno napětí na vstupu. Zvyšování napětí je prováděno cyklickým spínáním tranzistoru Q.



Obrázek 1.4: Obvodové zapojení boost měniče

Chování obvodu v ustáleném stavu je následující. Po dobu, kdy je tranzistor Q sepnut, je napětí na tlumivce rovno napětí sítě a proud tlumivkou lineárně narůstá. Pro napětí na tlumivce a proud platí:

$$v_L = L \frac{di_L}{dt} = V_{in} \quad (1.5)$$

Během doby, kdy je tranzistor sepnut, je dioda D polarizována závěrně a proud zátěže je dodáván vyhlazovacím kondenzátorem.

V okamžik vypnutí tranzistoru Q teče nadále proud tlumivkou L ve stejném smyslu. Tento proud se nyní začne uzavírat přes diodu D a paralelní kombinaci vyhlazovacího kondenzátoru a zátěže.

Pro napětí na tlumivce během doby vypnutí tranzistoru platí:

$$v_L = L \frac{di_L}{dt} = V_{in} - V_{out} \quad (1.6)$$

Během této doby proud tlumivkou klesá, a proto napětí na tlumivce změní polaritu. Na výstupní napětí V_{out} , které je dáno součtem napětí zdroje V_{in} a tlumivky v_L , je nabíjen výstupní

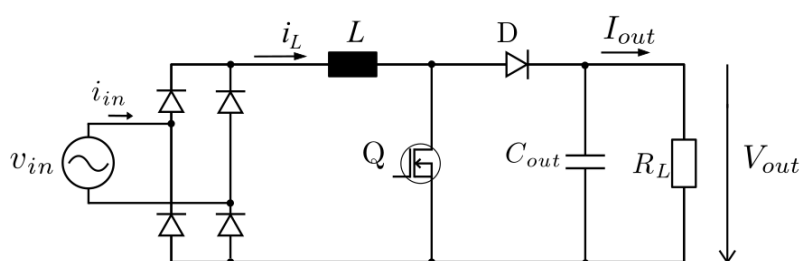
vyhlazovací kondenzátor, čímž je zajištěna zvyšující funkce měniče.

Výstupní napětí je závislé na poměrné době zapnutí tranzistoru d podle vztahu:

$$V_{out} = V_{in} \cdot \frac{1}{1-d} \quad (1.7)$$

Rovnice (1.7) je platná i při napájení střídavým napětím. Za předpokladu vysoké spínací frekvence (řádově desítky kHz), která se u PFC používá, je změna okamžité hodnoty síťového napětí během jedné spínací periody zanedbatelná a lze ji považovat za konstantu. [2]

Při aplikaci pro PFC je boost měnič řazen za usměrňovací můstek, jak je ukázáno na obrázku 1.5. U měniče pak primárně řídíme proud protékající tlumivkou L tak, aby střední hodnota proudu během spínací periody kopírovala tvar síťového napětí a harmonické zkreslení proudu bylo potlačeno. Možnosti řízení jsou popsány v následující kapitole 2.



Obrázek 1.5: Obvodové zapojení boost měniče v PFC aplikaci

■ Bridgeless boost měnič

Zapojení podle obrázku 1.5 je v literatuře nejzmiňovanější typ obvodu sloužící ke korekci účinníku. [12, 19, 32, 33, 34] Velké pozornosti se ale v odborných člancích dostává také bezmůstkovému (bridgeless) zapojení boost měniče. [13, 15, 16, 24, 38, 39]

Hlavní výhoda bridgeless zapojení tkví ve vyšší účinnosti, která je dána absencí jedné polovodičové součástky ve vodivé cestě. Tím je dosaženo menšího úbytku napětí v propustném směru. Navíc bridgeless zapojení využívá oproti klasické topologii dvojici polovodičových spínačů, které jsou méně teplotně namáhány. [15]

Protože se tato práce zabývá návrhem řízení pro hotový hardware, u kterého je použita klasická boost topologie, nebude dále bridgeless zapojení věnována pozornost.

■ 1.4.1 Pracovní režimy boost měniče

Z hlediska průběhu proudu tlumivkou může boost měnič pracovat v několika režimech [46, 47]:

1. CCM Continuous Conduction Mode
2. DCM Discontinuous Conduction Mode
3. MCM Mixed Conduction Mode
4. BCM Boundary Conduction Mode (Critical Conduction Mode)

■ CCM

Zkratka CCM se používá pro režim nepřerušovaných proudů. Při tomto módu proud tlumivkou během doby vypnutí tranzistoru nezaniká. Nedochází tedy k tomu, že by proud tlumivkou byl během spínací periody nulový. Tento režim se nejčastěji používá ve výkonových PFC aplikacích. [10] Mezi výhody CCM patří malé zvlnění proudu tlumivkou, což se příznivě projeví u nároků na EMI filtr. [22, 45]

Z hlediska řízení je výhodou možnost implementace algoritmu Average Current Control bez nutnosti korekce vzorkovaných hodnot a také lineární přenos měniče, který je v CCM dán přenosovou funkcí:

$$\frac{\hat{i}_L}{\hat{d}} = \frac{V_{out}}{sL} \quad (1.8)$$

kde \hat{i}_L je malá změna proudu tlumivkou, \hat{d} je malá změna střídý, V_{out} je výstupní napětí a L je indukčnost boost měniče.

Nevýhodou CCM jsou zvýšené zapínací ztráty tranzistoru vlivem proudu závěrného zotavení diody boost měniče. [45] Z důvodu potlačení těchto ztrát bývá dioda vyrobena technologií SiC. [22]

■ DCM

V režimu přerušovaných proudů DCM proud tlumivkou vždy před další spínací periodou zaniká a po určité době periody je proto nulový. Nevýhodou DCM je velké zvlnění proudu tlumivkou, které ale v absolutních hodnotách nemusí představovat problém z důvodu použití v nízkovýkonových aplikacích.

V DCM se nepříznivě projeví vliv parazitních kapacit tranzistoru a diody. Zatímco v CCM způsobují parazitní parametry pouze zvýšení spínacích ztrát, v DCM tvoří v okamžiku zániku proudu tlumivkou rezonanční obvod. [31] Vlivem oscilací nenarůstá proud v další spínací periodě z nulové hodnoty. Protože oscilace nelze predikovat, může v další spínací periodě nastat různě velká odezva proudu i_L na střídý d . Toto chování způsobuje zkreslení vstupního proudu, zhoršuje korekci účinníku a může být příčinou nestability regulátoru. [30, 45]

Vliv oscilací lze snížit správným dimenzováním polovodičových součástí vzhledem k uvažovanému výkonu zařízení tak, aby parazitní kapacita tranzistoru byla co nejmenší. [30] Dalším řešením může být použití snubberu. [30] Problém oscilací lze u některých algoritmů řešit softwarově. Například [31] navrhuje pro prediktivní Peak Current Control problém oscilací vyřešit pomocí metody Slope Compensation.

Kvůli nulovému proudu během části spínací periody dochází k změně dynamiky boost měniče, která je v režimu DCM popsána přenosovou funkcí [10]:

$$\frac{\hat{i}_L}{\hat{d}} = \frac{\frac{2V_{out}}{L}}{s + \frac{2(V_{out}-V_{in})}{dT_{sw}V_{in}}} \quad (1.9)$$

kde T_{sw} je perioda spínání tranzistoru a \bar{d} je ustálená hodnota střídý.

Zda bude boost měnič pracovat v CCM nebo DCM je dáno zvlněním proudu a střední hodnotou proudu tlumivkou. Maximální zvlnění proudu nastává při střídě 0,5 a je dáno vztahem [4]:

$$\Delta i_L(max) = \frac{V_{in}}{4f_{sw}L} \quad (1.10)$$

kde $\Delta i_L(max)$ je maximální zvlnění proudu tlumivkou, V_{in} je okamžitá hodnota vstupního napětí boost měniče, f_{sw} je spínací frekvence a L je indukčnost tlumivky.

Zvlnění proudu je přímo úměrné vstupnímu napětí a nepřímo úměrné spínací frekvenci a indukčnosti tlumivky.

Vhodnou volbou spínací frekvence a velikosti tlumivky lze pro daný výkon měniče navrhnout maximální zvlnění proudu podle předešlé rovnice tak, aby docházelo k CCM nebo DCM.

■ MCM

Pokud je měnič dimenzován na pomezí mezi DCM a CCM může docházet k tomu, že se během jedné půlperrody síťového napětí mění režim z DCM na CCM a zase zpět na DCM. Takovýto pracovní režim je označován jako Mixed Conduction Mode. V módu MCM nastává DCM v okolí průchodu vstupního napětí nulou a CCM v okolí maximální hodnoty vstupního napětí. [30] Porovnáme-li přenosové funkce (1.8) a (1.9), vidíme, že se během jedné půlperrody vstupního napětí dvakrát změni dynamika regulované soustavy, což představuje výzvu z hlediska návrhu regulační struktury. Návrhu regulátoru, který umožňuje sledování referenčního proudu v MCM, je věnována pozornost v mnoha odborných článcích. [10, 12, 14, 31, 33, 34]

U měničů, jejichž výkon se má měnit ve velkém rozmezí, je obtížné se režimu MCM vyhnout. Možné řešení je navrhnout měnič tak, aby pracoval zcela v CCM již od relativně nízkého výkonu. K MCM pak bude docházet pro malé výkony, u kterých lze splnit normativní požadavky i s méně přesnou korekcí účinníku.

Další možnost spočívá ve změně spínací frekvence. [35] Pro velké proudy pracuje měnič v režimu CCM. Při poklesu proudu pod definovanou hodnotu dojde ke snížení spínací frekvence, čímž se zvětší zvlnění proudu tlumivkou natolik, že měnič nadále pracuje v DCM. Tímto způsobem se můžeme zcela vyhnout režimu MCM, a tudíž i změně dynamiky během půlperrody síťového napětí.

■ BCM

Pro poslední možný režim je charakteristické zapnutí tranzistoru boost měniče přesně v okamžik zániku proudu tlumivkou v předchozí spínací periodě. Vzhledem k tomu, že se v PFC aplikaci hodnota vstupního napětí během půl perrody mění, dochází při BCM ke změně spínací frekvence. Spínací frekvence je nejvyšší, když se vstupní napětí blíží nule, a naopak nejnižší, když se napětí blíží maximální hodnotě. [22] Výhodou BCM je jednoduché řízení s konstantní dobou zapnutí. Řídící struktura pro BCM obsahuje pouze jedinou regulační smyčku výstupního napětí, která nastavuje dobu zapnutí tranzistoru. Pokud se doba zapnutí tranzistoru během půlperrody vstupního napětí nemění, což lze dosáhnout nízkou šířkou pásma regulační smyčky, pak střední proud tlumivkou sleduje referenční průběh a je dosaženo vysokého účinníku.

Mezi nevýhody BCM patří velké zvlnění proudu, a proto se tento režim používá především u nízkovýkonových aplikací. [45] BCM s analogovým řízením představuje nejlevnější možnost zlepšení účinníku u zařízení do 300 W. [22, 46]

Kapitola 2

Algoritmy PFC

PFC regulátory dělíme na analogové a digitální. Analogových PFC regulátorů byla navržena celá řada a na trhu se jich nachází velké množství ve formě integrovaných obvodů (IC).

Digitální PFC bývá nejčastěji implementováno pomocí digitálního signálového procesoru (DSP) nebo jiného výkonného mikroprocesoru. [28] S výhodou je také možné použít programovatelné logické pole FPGA. [34]

V porovnání s analogovými PFC regulátory mají digitální regulátory několik výhod [28]:

- možnost implementace složitého a nelineárního řídicího algoritmu
- snížení počtu součástek
- vyšší spolehlivost
- možnost úpravy algoritmu na již vyrobeném hardwaru

Možnost implementace složitého a nelineárního algoritmu je velkou výhodou digitální implementace. U výkonného mikroprocesoru je možné použít sofistikované algoritmy, jako jsou například prediktivní algoritmy. [12, 31] Je také možné použít metody pro autotuning regulátorů. [29]

Další výhodou je snížení počtu součástek, s čímž souvisí také možnost přidání nových funkcí pouhým přidáním řádek programu. Jako příklad může sloužit přidání filtru měřených veličin. [11]

Vyšší spolehlivost digitálního PFC souvisí se sníženou citlivostí vůči změnám parametrů součástek z důvodu stárnutí nebo teplotních změn. [28]

Velkou výhodou je možnost změny algoritmu pro již navržený hardware pouhým přepsáním softwaru mikroprocesoru.

Jako hlavní nevýhoda digitálních regulátorů ve srovnání s analogovými regulátory je uváděna nižší šířka pásma proudového regulátoru, která je limitována vzorkovací frekvencí měřených signálů. [31, 47]

Dříve nacházely digitální regulátory uplatnění pouze ve specifických aplikacích, u kterých byly opodstatněné jejich vyšší pořizovací náklady, a v ostatních případech byly regulátory PFC implementovány především formou analogových obvodů. [11] V současnosti, díky klesající ceně a zvyšujícím se výkonu moderních mikroprocesorů, nacházejí digitální regulátory PFC uplatnění mnohem častěji. [10] Díky zvýšení výpočetní frekvence mikroprocesorů je dnes možné implementovat rychlé regulační smyčky se šířkou pásma až 15 kHz. [33] S větší šířkou pásma je možné dosáhnout *THD* srovnatelné s analogovým regulátorem. [44] Jedna z hlavních nevýhod digitálních regulátorů uváděných v literatuře je proto dnes již z velké části překonána. Pokud

bude poměr cena výkon u mikroprocesorů dále klesat, je možné předpokládat další rozšíření digitálních PFC regulátorů a postupný odklon od analogových provedení. [11]

Cílem práce je navrhnout digitální PFC regulátor, proto analogovým řídicím strukturám nebude dále věnována pozornost.

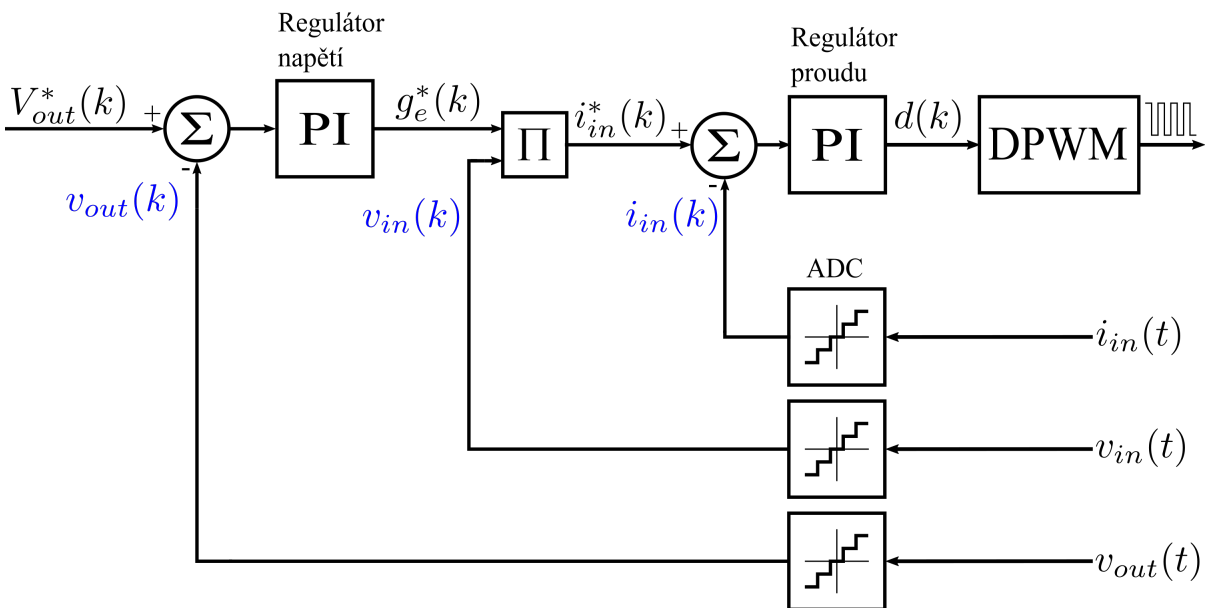
Dva nejčastěji zmiňované digitální algoritmy v literatuře jsou Average Current Control (ACC) a Predictive Control. [12, 14, 26, 31]

ACC je digitální varianta původní řídicí struktury navržené pro analogový PFC regulátor. [36] Naopak Predictive Control představuje nové řešení, které je ideální pro digitální implementaci. U Predictive Control je z několika změřených a vypočtených hodnot a z chování měniče popsáno rovnicemi určena požadovaná střída, která v dalším kroku zajistí kýženou hodnotu proudu. [31] Nevýhodou Predictive control je větší počet výpočtů než u ACC a tím větší nároky na výpočetní výkon mikroprocesoru. [12]

Ačkoli se Predictive Control jeví jako perspektivní algoritmus pro digitální PFC regulátory, bude v této práci věnována pozornost více rozšířenému a probádanému algoritmu ACC, ke kterému byla navržena řada vylepšení zdokonalujících jeho chování.

2.1 ACC

Nejrozšířenějším digitálním algoritmem PFC je Average Current Control (ACC), který používá regulační strukturu zobrazenou na obrázku 2.1. [11]



Obrázek 2.1: Klasická struktura digitálně implementovaného PFC

Úkolem ACC je stejně jako u ostatních PFC algoritmů udržet konstantní napětí na výstupu měniče za současného nízkého harmonického zkreslení vstupního proudu. [11]

Regulační struktura je tvořena dvěma zpětnovazebními regulačními smyčkami: nadřazenou regulační smyčkou výstupního napětí a podřízenou regulační smyčkou vstupního proudu.

Regulační smyčka proudu porovnává referenční hodnotu vstupního proudu a její skutečnou hodnotu získanou ADC. Rozdíl těchto hodnot představuje regulační odchylku, která vstupuje do

regulátoru proudu. Regulátor proudu bývá většinou typu PI. PID regulátor není třeba používat. Proudová smyčka bývá prvního řádu, a proto je PI regulátor pro kompenzaci dostatečný. [44] Akční veličina regulátoru je střída $d(k)$, která představuje poměrnou dobu zapnutí tranzistoru boost měniče. Pomocí DPWM jsou na driver tranzistoru posílány PWM pulzy.

Nadřazená regulační smyčka porovnává referenční hodnotu výstupního napětí se skutečnou hodnotou získanou ADC. Regulační odchylka vstupuje do regulátoru napětí, který taktéž bývá typu PI. Akční veličina regulátoru představuje ekvivalentní vstupní vodivost obvodu $g_e^*(k)$. [10] Po vynásobení ekvivalentní vodivosti $g_e^*(k)$ síťovým napětím $v_{in}(k)$, které je získáno podobně jako výstupní napětí, dostaneme referenční hodnotu proudu tlumivkou $i_{in}^*(k)$.

(Měření vstupní napětí $v_{in}(k)$ je usměrněné. Usměrnění je provedeno buď hardwarově měřením napětí za usměrňovacím můstkem, případě může být napětí usměrněno softwarově. [44])

Úkolem regulační smyčky napětí je udržování výstupního napětí na referenční hodnotě i při změně zátěže. Současně regulační smyčka napětí nesmí způsobovat zkreslení průběhu referenčního proudu. Tento požadavek jde proti požadavku na dobrou dynamiku regulátoru napětí při přechodných dějích. [28]

V ustáleném stavu se hodnota ekvivalentní vodivosti $g_e^*(k)$ nemění a lze ji považovat za konstantu. Z toho plyne, že referenční proud $i_{in}^*(k)$ má stejný tvar jako síťové napětí. Pokud je regulátor proudu s to sledovat referenční proud, pak má vstupní proud vysoký účinník λ a nízké THD . V ideálním případě se měnič z pohledu vstupních svorek jeví jako rezistivní zátěž a účinník je roven jedné. [11]

Dle literatury je spínací frekvence PWM volena nejčastěji mezi 20–100 kHz. [15, 29, 34] Šířka pásma proudové regulační smyčky je většinou volena jako jedna desetina spínací frekvence. [29, 31, 44, 47] Šířka pásma napěťové regulační smyčky bývá volena mnohem níže. Kvůli vlivu zvlnění výstupního napětí na dvojnásobku síťové frekvence se používá šířka pásma 5–20 Hz. [10, 19] Nevýhodou takto nízké šířky pásma regulační smyčky napětí je nízká dynamika při přechodných dějích. V některých aplikacích (typicky u nabíječek) nepředstavuje nízká dynamika napěťové regulační smyčky problém. U jiných aplikacích je nutné šířku pásma volit výše a zajistit potlačení zvlnění signálu jiným způsobem.

■ 2.1.1 Vzorkování

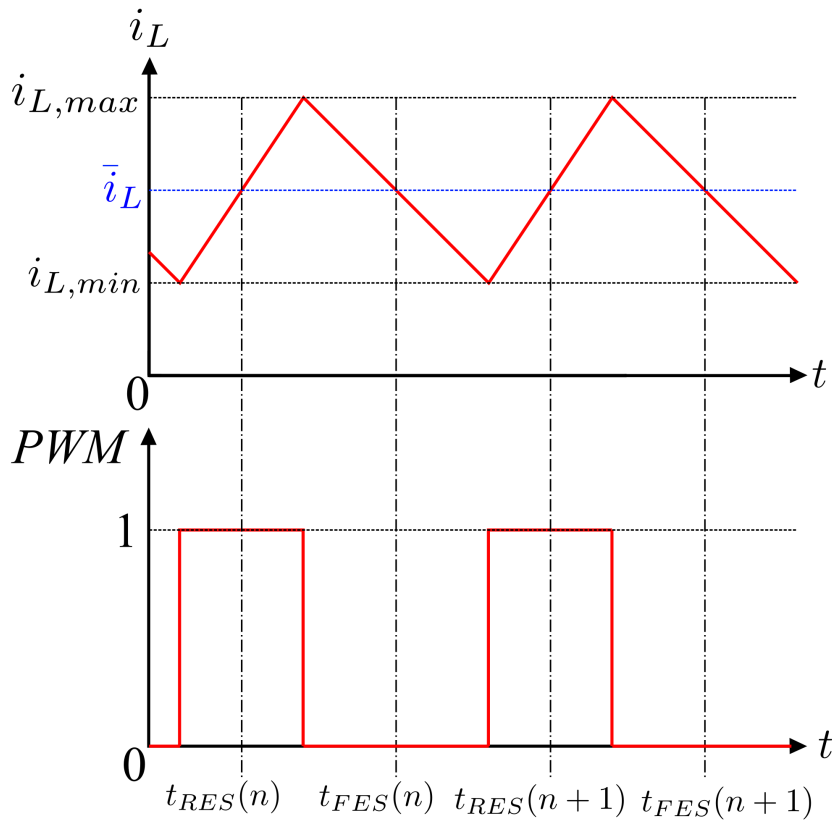
ACC vyžaduje vzorkování tří veličin: vstupního napětí, vstupního proudu a výstupního napětí, přičemž vzorkování vstupního proudu je z důvodu velkého zvlnění vlivem PWM nejchoulostivější.

ACC funguje správně, je-li regulován střední proud tlumivkou. Aby nemusela být použita vysoká frekvence vzorkování, která by pro splnění vzorkovacího teoremu měla být řádově vyšší než spínací frekvence [27], používá se pro získání střední hodnoty proudu synchronizované vzorkování proudu s pulzy PWM, jak ukazuje obrázek 2.2.

Ke vzorkování dochází v polovině doby zapnutí, respektive doby vypnutí tranzistoru. Tím dojde k vzorkování proudu v polovině náběžné (RES) nebo sestupné hrany (FES) proudu tlumivkou. Z obrázku je patrné, že vzorkovaná hodnota pak přesně odpovídá střednímu proudu tlumivkou.

Získaný střední proud tlumivkou $\bar{i}_L(k)$ je následně použit jako hodnota vstupního proudu $i_{in}(k)$ v regulační struktuře ukázané na obrázku 2.1.

Pro získání správné střední hodnoty proudu je třeba ověřit, zda nedochází k zpoždění mezi kýženým okamžikem vzorkování a skutečným okamžikem vzorkování. Vykazuje-li signálová cesta nezanedbatelné zpoždění, je možné jej kompenzovat.



Obrázek 2.2: Průběh proudu tlumivkou při CCM

V [27] je fenomén zpoždění signálové cesty popsán. V článku je také navržena změna vzorkovacího algoritmu z FES na RES během půlperrody síťového napětí tak, aby zpoždění signálové cesty způsobilo co nejmenší chybu v určení středního proudu.

Z obrázku 2.2 je také patrné, že ke správnému vzorkování dochází pouze v CCM případně BCM. Pokud proud tlumivkou zanikne dříve než v okamžiku dalšího sepnutí, bude po část periody proud tlumivkou nulový. Při DCM je proud vzorkovaný v polovině náběžné hrany větší, než je střední proud tlumivkou. Vlivem toho bude mikroprocesor proud tlumivkou nadhodnocovat, což se nepříznivě projeví při řízení a dojde ke zkreslení vstupního proudu a dosažení horšího *THD*. [27]

Algoritmus ACC je proto nejlépe aplikovatelný v režimu CCM. V DCM je nutné zvolit vhodný mechanismus, kterým se bude vliv nepřesně určené hodnoty proudu kompenzovat. [10]

Pokud měnič pracuje v CCM a zpoždění signálové cesty je zanedbatelné, pak dojde synchronizovaným vzorkováním k efektivnímu odfiltrování zvlnění ze signálu proudu i_L bez zvýšených nároků na výpočetní čas mikroprocesoru a k určení středního proudu $\bar{i}_L(k)$ s vysokou přesností. Vzorkovací frekvence je u synchronizovaného vzorkování stejná jako spínací frekvence a zpravidla bývá se stejnou frekvencí vzorkováno i vstupní napětí. [34]

Vzorkovací frekvence výstupního napětí může být z důvodu nízké šířky pásma napěťové regulační smyčky volena mnohem níže než u vstupních veličin. [34]

2.2 Nedostatky ACC a jejich řešení

Klasická struktura digitálně řízeného PFC využívající ACC zobrazená na obrázku 2.1 vykazuje několik nedostatků, které limitují dosažitelné THD . Mezi nejčastěji zmiňovaná úskalí patří:

1. Střídavý charakter referenční veličiny
2. Kapacitně-odporové chování regulátoru
3. Zvlnění výstupního napětí
4. Změna dynamiky při změně efektivní hodnoty vstupního napětí
5. Nesprávné vzorkování v DCM
6. Změna dynamiky v MCM

Střídavý charakter referenční veličiny

PI regulátor je vhodný pro regulaci stejnosměrných veličin. Při PFC aplikaci se ale jeho referenční hodnota i_{in}^* periodicky mění s dvojnásobnou frekvencí sítě. Regulátor proudu proto musí mít dostatečně velkou dynamiku, aby dokázal referenční průběh sledovat. [15, 16, 44] I pro regulátor s velkou šířkou pásma je ale problematické dosáhnout THD nižší než 5 %. [12]

Kapacitně-odporové chování regulátoru

Důvod, proč je nemožné dosáhnout nižšího THD , je popsán v [11]. V článku je odvozen kapacitně-odporový charakter boost měniče při použití klasické regulační struktury z obrázku 2.1 v režimu CCM. Nutně proto dochází k předbíhání proudu před napětím a ke zkreslení proudu v okolí nulového napětí sítě a tím k horšímu účinníku. [44]

Zvlnění výstupního napětí

Další nedostatek souvisí s regulační smyčkou napětí. Změřená hodnota výstupního napětí obsahuje 100Hz střídavou složku.

Zvlnění na kondenzátoru je přítomno kvůli výkonové nerovnováze vstupu a výstupu měniče během jedné půlperrody síťového napětí. V okolí nuly síťového napětí je výkon dodávaný do měniče minimální. Za předpokladu konstantní zátěže pak dochází k vybíjení vyhlazovacího kondenzátoru a výstupní napětí klesá. V okolí špičky vstupního napětí se děj obrátí, do měniče je dodáván maximální výkon a napětí na vyhlazovacím kondenzátoru roste. [2]

Amplituda zvlnění je závislá na kapacitě vyhlazovacího kondenzátoru C_{out} a odebíraném výkonu P_{out} podle vztahu [19, 28]:

$$\Delta V_{out}(t) = \frac{P_{out}}{4\pi f_g C_{out} V_{out}} \cdot \sin(4\pi f_g t) \quad (2.1)$$

kde f_g je síťová frekvence a V_{out} je střední hodnota výstupního napětí.

Pokud by regulátor napětí reagoval na toto zvlnění, které ze své podstaty nedokáže kompenzovat, pak by referenční proud i_{in}^* pro proudový regulátor obsahoval třetí harmonickou složku, což by způsobilo snížení účinníku měniče. [18]

Ze vzorce 2.1 je patrné, že zvlnění je možné potlačit použitím vyhlazovacího kondenzátoru s větší kapacitou, což je ale od určité hodnoty zvlnění neefektivní. [2]

■ Změna dynamiky regulované soustavy při změně efektivní hodnoty vstupního napětí

Další nedostatek souvisí s referencí síťového napětí. Při změně efektivní hodnoty vstupního napětí dochází ke změně šířky pásma regulované soustavy a regulátor výstupního napětí poté musí být naladěný tak, aby zajistil stabilní chování v celém rozmezí vstupních napětí, což se nepříznivě projeví na snížené dynamice regulátoru. [2]

■ Nesprávné vzorkování v DCM

Jak již bylo popsáno v 2.1.1 v DCM dochází k nesprávnému vzorkování proudu tlumivkou. Proud je poté mikroprocesorem nadhodnocován¹, a to má za následek zkreslení proudu a vyšší *THD*.

■ Změna dynamiky při MCM

Poslední uvedený nedostatek souvisí s provozem v MCM. Hlavním problémem provozu v MCM je změna dynamiky regulované soustavy. Pokud je regulátor navržen pro CCM, pak v DCM dochází k horšímu sledování proudu z důvodu nedostatečného zesílení. Pokud je situace opačná, totiž že DCM regulátor pracuje v CCM, pak může docházet k problémům se stabilitou regulátoru vlivem vysokého zesílení. [10]

Všechny tyto zmíněné nedostatky ACC algoritmu jsou řešitelné různými způsoby navrženými v literatuře. Ve zbytku kapitoly budou jednotlivá řešení popsána.

■ 2.2.1 Duty Feed-Forward

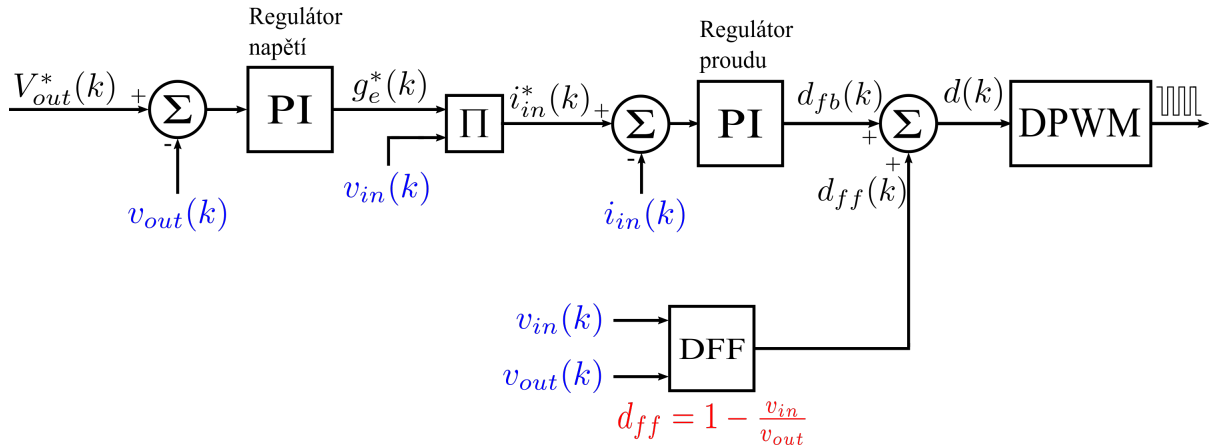
Jeden z nejrozšířenějších prostředků ke zlepšení regulační struktury PFC je Duty Feed-Forward (DFF). Tato metoda je popsána a implementována ve většině článků věnujících se PFC regulátorům. [11, 15, 44] Podstata DFF je zobrazena na obrázku 2.3

Pomocí bloku DFF dochází k předpočítání střídavy pomocí vzorce:

$$d_{ff}^{CCM}(k) = 1 - \frac{v_{in}(k)}{v_{out}(k)} \quad (2.2)$$

Vzorec (2.2) je odvozen ze základní rovnice pro Boost měnič (1.7). Takto vypočítaná dopředná střída $d_{ff}(k)$ se přičítá ke střídě vypočtené regulátorem proudu, která je v obrázku 2.3 označena $d_{fb}(k)$. Suma obou stříd pak vstupuje do DPWM. Díky přičtení dopředné střídavy k výstupu, má regulátor proudu podstatně ulehčenu práci, protože již nekompenzuje proud od nuly, ale kompenzuje pouze malý rozdíl daný rozdílem mezi střídou vypočtenou pomocí (2.2) a střídou, která zajistí dobré sledování referenčního proudu. [15] Vypočtená dopředná střída má střídavý charakter, který je dán síťovým napětím, a tím je z velké části vyřešen problém se střídavou referenční hodnotou pro regulátor.

¹platí pro RES (vzorkování v náběžné hraně)



Obrázek 2.3: Klasická struktura digitálně implementovaného PFC doplněná o DFF

Navíc jak je ukázáno v [11] implementací DFF může být zcela eliminováno kapacitní chování klasické regulační struktury v režimu CCM. Ve výsledku pak proud vykazuje nižší fázový posun a menší zkreslení v oblasti nulového napětí. Zbýlý fázový posun při použití DFF lze přisoudit vstupnímu kondenzátoru měniče řazenému za usměrňovací můstek. [11]

■ Výpočet DFF v DCM

Dopředná střída vypočtená podle (2.2) je platná pouze pro CCM. V [10] a [29] je proto odvozen další výpočet dopředné střídy, který je platný v DCM:

$$d_{ff}^{DCM}(k) = \sqrt{\frac{2g_e L}{T_{sw}} \cdot \left(1 - \frac{v_{in}(k)}{v_{out}(k)}\right)} \quad (2.3)$$

kde g_e je ekvivalentní vstupní vodivost měniče a T_{sw} je perioda spínání.

Takto vypočtená dopředná střída může být použita v DCM nebo s výhodou v MCM režimu.

Pro MCM je v [10] ukázáno, že oba průběhy podle (2.2) a (2.3) mají průsečík, který se nachází v bodě přechodu mezi režimy DCM a CCM. Také je ukázáno, že platná dopředná střída se určí jako minimum obou stříd. V MCM lze proto plynule přejít z jednoho výpočtu na druhý pouhým porovnáním vypočtených dopředných stříd.

Za předpokladu přesné znalosti hodnoty indukčnosti L lze vyhodnocováním minima dopředných stříd jednoduše určovat v jakém módu právě boost měnič pracuje.

V [10] je ověřeno, že je možné kombinací metod minima dopředných stříd, korekce vzorkovaného proudu a regulátoru navrženého pouze pro CCM dosáhnout dobré korekce účinníku v MCM režimu.

■ 2.2.2 Úprava měřeného signálu výstupního napětí

Na úkor dynamiky při přechodných dějích je možné problém se zvlněním v měřeném signálu vyřešit dostatečně nízkou šířkou pásma regulační smyčky napětí 5–20 Hz. Regulátor poté funguje jako LPF, který 100Hz složku v signálu silně utlumí.

Pro aplikace, kde je nutná vysoká dynamika regulátoru, bylo navrženo mnoho metod, které potlačí zvlnění v regulační smyčce napětí jiným způsobem.

V [19] je navržena metoda, která spočívá v úpravě referenčního napětí tak, aby obsahovalo stejné zvlnění jako výstupní napětí ale s opačným znaménkem. Ve sumačním členu regulátoru pak dojde k odečtení těchto dvou 100Hz složek. Nevýhodou tohoto postupu je nutnost použít PLL pro generování zvlnění opačné polaroty. Případně je nutné použít estimátor zvlnění, jak navrhuje [19].

Jiná metoda popsaná v [20] a v [44] spočívá v úpravě napětového regulátoru tak, aby byl málo citlivý nebo zcela nereagoval na regulační odchylku, která co do amplitudy odpovídá zvlnění výstupního napětí, a naopak při přechodných dějích, kdy je regulační odchylka velká, reagoval agresivněji.

Další metoda popsaná v [25] a [28] používá filtr typu Notch, který je naladěný na 100 Hz. Ve vyfiltrovaném signálu je pak 100Hz složka potlačena. Filtr typu Notch na rozdíl od LPF nesnižuje dynamiku při přechodných dějích.

V [17] je navrženo vzorkování výstupního napětí s frekvencí 100 Hz v okamžiku, kdy síťové napětí prochází nulou. Tímto synchronizovaným vzorkováním se získá přesně střední hodnota výstupního napětí. Metodu by bylo možné vylepšit zvýšením vzorkovací frekvence na dvojnásobek přidáním vzorků v okamžik, kdy je amplituda síťového napětí maximální. I v tomto čase platí, že vzorkovaná hodnota výstupního napětí odpovídá střední hodnotě. Tento vylepšený postup je použit v [34].

Při použití některého z výše uvedených algoritmů pro potlačení 100Hz zvlnění ve měřeném výstupním signálu lze dosáhnout šířky pásma až 40 Hz, a tím podstatně lepší dynamiky napětového regulační smyčky. [28]

■ 2.2.3 Voltage Feed-Forward

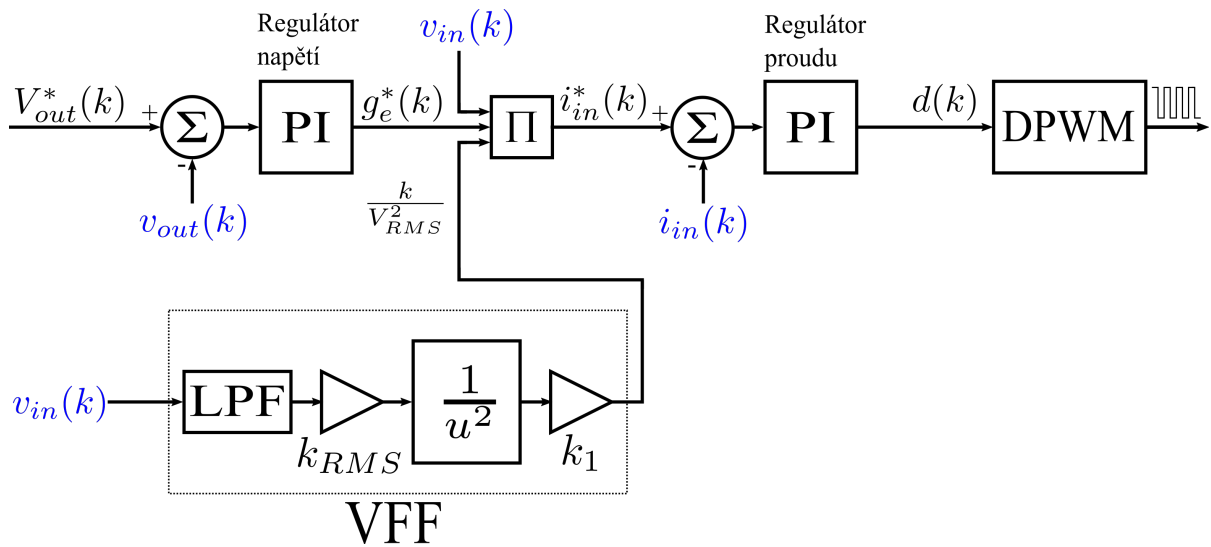
Metoda Voltage Feed-Forward (VFF) je další hojně používanou metodou pro zlepšení ACC. [19,44] Pomocí VFF se kompenzuje změna chování regulační struktury při změnách vstupního napětí.

Důvody, proč je nutné kompenzaci provádět, jsou popsány v [2]. Problém lze názorně ilustrovat na chování otevřené regulační smyčky struktury z obrázku 2.1. Uvažujme fixní střidu 50 % a stejnosměrné vstupní napětí 100 V. Na zátěži 200 Ω je pak výstupní napětí 200 V a protéká jí proud 1 A. Pokud se vstupní napětí změní při nezměněné střídě na dvojnásobek tj. 200 V, pak se výstupní napětí změní na 400 V a zátěží protéká proud 2 A. Vlivem zdvojnásobení jak výstupního napětí, tak proudu zátěží došlo ke zvýšení výstupního výkonu na čtyřnásobek. U otevřené regulační smyčky proto platí kvadratická závislost výstupního výkonu na vstupním napětí. V uzavřené regulační smyčce se toto chování projeví změnou šířky pásma. Na to musí být navržen regulátor výstupního napětí, který ve výsledku musí mít menší dynamiku, aby zajistil stabilní chování měniče v celém rozsahu vstupních napětí. [2]

Místo obětování dynamiky regulátoru při přechodných dějích se používá VFF podle zapojení na obrázku 2.4.

Rozdíl oproti klasické regulační struktuře tkví ve vynásobení referenční hodnoty proudu faktorem $\frac{k}{\sqrt{r_{ms}^2}}$. Pokud bychom opět uvažovali otevřenou regulační smyčku, vidíme, že při změně vstupního napětí bude nyní výstupní výkon zachován. U uzavřené regulační smyčky pak nebude docházet díky VFF ke změně šířky pásma. Regulátor poté může být naladěný s velkou dynamikou pro jedno vstupní napětí a chování regulační smyčky se vlivem změny RMS hodnoty napětí nezmění.

Při digitální implementaci je pro získání RMS hodnoty vstupního napětí nutné použít LPF



Obrázek 2.4: Klasická struktura digitálně implementovaného PFC s VFF

s dostatečně nízkou mezní frekvencí tak, aby se získaná střední hodnota usměrněného vstupního napětí během jedné půlperiody neměnila. [2] Vynásobením konstantou k_{RMS} se poté získá RMS hodnota napětí. (Konstanta k_1 slouží k normování hodnoty faktoru $\frac{k}{V_{rms}^2}$ tak, aby pro nominální napětí nabýval hodnoty jedna.) Místo LPF je také možné použít algoritmus na detekci maxima. [29]

Největší význam má VFF u zařízení, která se konstruují pro univerzální napětí, tzn. zařízení, která mohou být provozována po celém světě. [2] Ani při provozu na jedné napěťové hladině ale není význam VFF zanedbatelný z důvodu toleranční pásma, ve kterém se může RMS hodnota napětí pohybovat. Pro evropskou síť 230 V/50 Hz může efektivní hodnota napětí nabývat hodnot v rozmezí 207–253 V. [42]

2.2.4 Korekce vzorkovaného proudu v DCM

Metody korekce vzorkovaného proudu v DCM jsou popsány v [10, 34]. Články navrhují zavedení korekčního faktoru, kterým je vzorkovaný proud vynásoben, a tím je získána skutečná střední hodnota proudu. Korekční faktor lze odvodit z obrázku 2.5. [10]

Z obrázku je zřejmé, že pro střední proud tlumivkou \bar{i}_L platí:

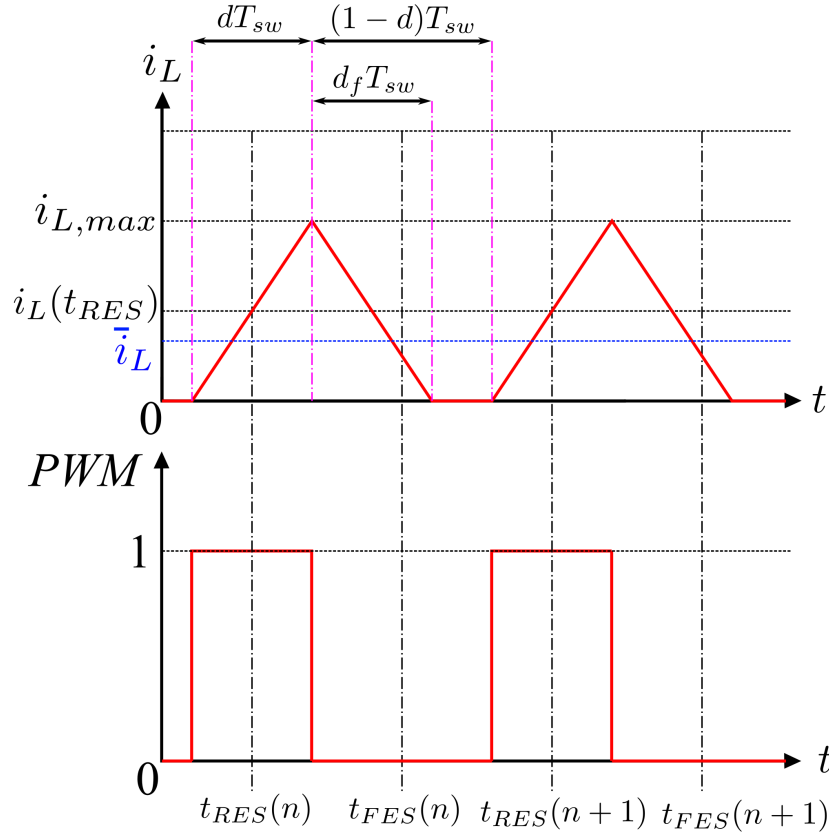
$$\bar{i}_L = i_L(t_{RES}) \cdot (d + d_f) \quad (2.4)$$

kde t_{RES} je okamžik vzorkování v polovině náběžné hrany proudu a součet $(d + d_f)$ vyjadřuje poměrnou dobu vedení proudu. Pro CCM je tento součet roven jedné, což odpovídá skutečnosti, že vzorkovaný proud je v CCM roven střednímu proudu.

Střída d je mikroprocesoru známa. Je to střída vypočtená algoritmem ACC.

Součiny napětí na tlumivce a doby vedení proudu jsou pro náběžnou a sestupnou hranu proudu stejné, proto lze poměrnou dobu poklesu proudu d_f určit ze střidy d , vstupního napětí v_{in} a výstupního napětí v_{out} . [2]

Výsledný korekční faktor se poté získá vztahem:



Obrázek 2.5: Průběh proudu tlumivkou při DCM a odvození korekčního faktoru

$$\kappa = (d + d_f) = \frac{d \cdot v_{out}}{v_{out} - v_{in}} \quad (2.5)$$

Vynásobením vzorkovaného proudu korekčním faktorem κ dostaneme střední proud tlumivkou. Výhodou zavedeného korekčního faktoru je, že z definice nabývá pro CCM hodnoty jedna. To nám umožňuje provádět korekci v MCM během celé půlperrody bez potřeby dodatečně vyhodnocovat, zda měnič pracuje v CCM, nebo DCM. Naopak vyhodnocováním κ lze usoudit okamžitý mód měniče. [10]

2.2.5 Různé regulátory pro DCM a CCM

Díky digitální implementaci je možné problém změny dynamiky během MCM vyřešit dvěma regulátory a detekcí pracovního módu.

Regulační struktura bývá většinou stejná jak pro CCM, tak DCM a při přechodu mezi módy dochází k pouze změně konstant regulátoru. [29, 33]

V [33] je pro detekci pracovního módu využít komparátor DSP, což lze provést u mikroprocesorů, které touto periferií disponují. V literatuře jsou také popsány metody využívající obvod pro detekci nulového napětí na tlumivce. [33]

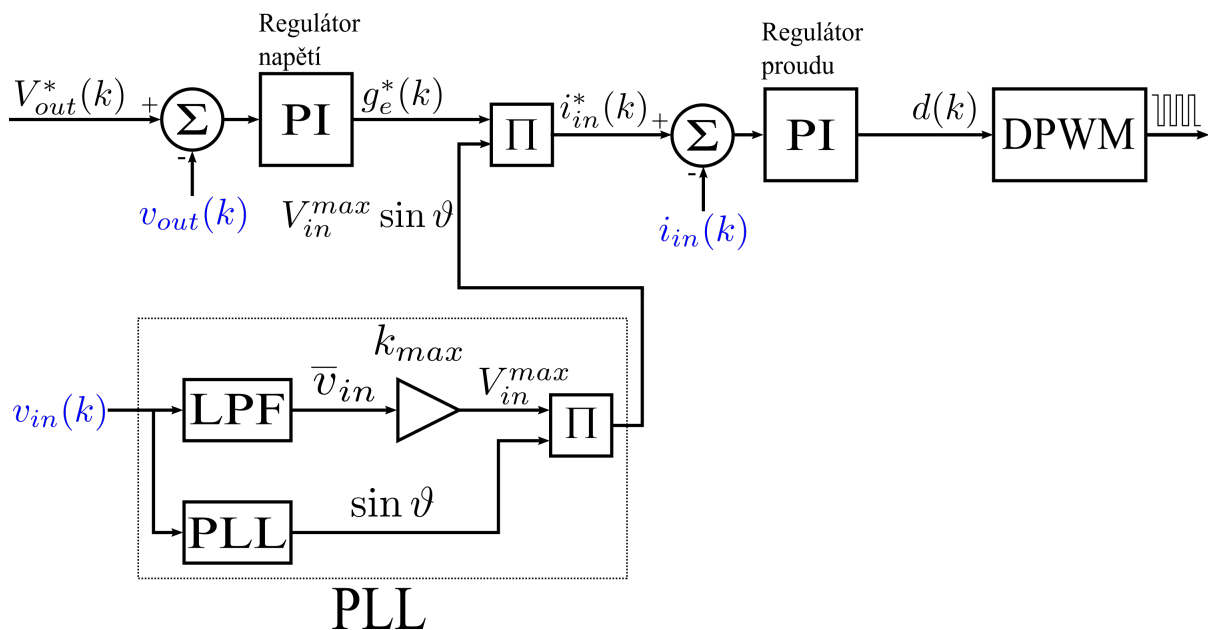
Mezi čistě softwarové řešení patří metody popisované v [14]. První metoda využívá vztah mezi vzorkovaným proudem v polovině náběžné hrany a maximálním proudem. Druhý navržený

postup odhaduje hodnotu proudu tlumivkou na konci spínací periody. Pokud je odhadnutý proud menší než nula, pak je detekován DCM. Nevýhodou obou algoritmů je nutnost znát přesnou hodnotu indukčnosti tlumivky. Pokud je známa pouze přibližná hodnota, pak výpočty nejsou přesné a dochází ke špatné detekci v oblastech kolem změny pracovního režimu.

V [29] je pro detekci pracovního módu použita hodnota korekčního faktoru κ uvedená v 2.2.4. Je-li κ rovno jedné, použije se CCM regulátor, a je-li κ menší než jedna, použije se DCM regulátor. Korekční faktor je zároveň použit i ke svému původnímu účelu, ke korekci vzorkovaných hodnot proudu.

2.2.6 PLL

V [13,15,17,25] je referenční síťové napětí generováno pomocí fázového závěsu na vstupním napětí $v_{in}(k)$. Tímto způsobem generovaná sinusová reference následně slouží pro získání referenčního průběhu proudu $i_{in}^*(k)$. Regulační schéma s PLL je zobrazeno na obrázku 2.6.



Obrázek 2.6: Klasická struktura digitálně implementovaného PFC doplněná o PLL vstupního napětí

Pomocí PLL bloku je získán signál $\sin \vartheta$, který má stejnou fázi jako síťové napětí. Z důvodu zachování fyzikálního významu referenčního vstupního napětí je signál $\sin \vartheta$ vynásoben maximální hodnotou sinusového napětí V_{in}^{max} . Maximální hodnotu je možné získat například pomocí LPF s dostatečně nízkou šířkou pásma a následným vynásobením odpovídající konstantou k_{max} , čímž je ze střední hodnoty \bar{v}_{in} získána hodnota maximální V_{in}^{max} . Další možností je použití algoritmu pro detekci maxima. Tento způsob je popsán v [47].

U klasické regulační struktury z obrázku 2.1 lze dosáhnout v nejlepším případě čistě odporového chování zátěže. Pokud je tedy vstupní napětí zdeformované, pak bude při ideální kompenzaci stejně zdeformovaný i proud.

Vzhledem k tomu, že použitím PLL je generován referenční průběh, který obsahuje pouze první harmonickou složku, kompenzace není limitována reálným zkresleným napětím a paradoxně může dojít k tomu, že odebíraný proud ze sítě má menší zkreslení než napětí v síti. [15]

Další výhodou PLL je odvazbení tvaru vstupního napětí na vstupním proudu. Z důvodu reaktance sítě způsobí odběr zkresleného proudu deformaci napětí. Toto napětí je následně u klasické regulační struktury používáno pro referenci odebíraného proudu. Použitím PLL je tato vazba odstraněna.

Softwarově je PLL blok realizován pomocí číslicové syntézy DDS synchronizované PI regulátorem. [21] Signál $\sin \vartheta$ je pak získáván pomocí Look-up table, což je rychlejší a výpočetně méně náročné než provádění real-time výpočtu. [15]

Problémem při použití PLL je odběr deformačního výkonu ze sítě. Je-li napětí sítě zdeformované a měnič odebírá proud s menším zkreslením než má napětí, pak část odebíraného proudu nekoná činnou práci.

Otázka, zda by s ohledem na síť měly PFC regulátory používat blok PLL pro generování proudové reference není v literatuře uspokojivě vyřešena.

Kapitola 3

Popis prototypu

Algoritmus PFC byl navržen pro prototyp, který vznikl v rámci bakalářské práce autora. Tato kapitola proto pouze představí topologii nabíječky bez výpočtů dimenzování komponent, které jsou uvedeny v bakalářské práci. [9]

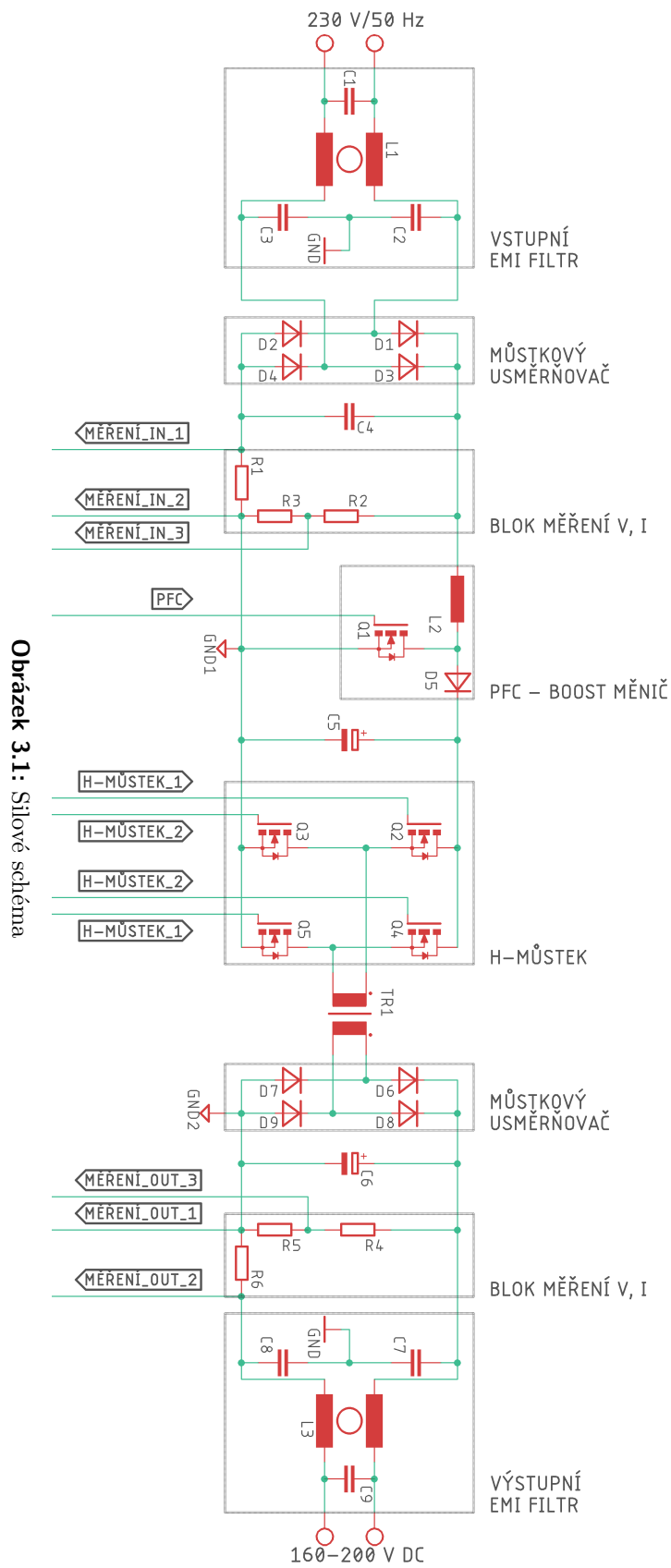
Prototyp palubní síťové nabíječky je dimenzován na výkon 2 kW s proměnným výstupním napětím v rozmezí 160–200 V. Rozmezí výstupního napětí odpovídá baterii elektromobilu vlastněného katedrou elektrických pohonů a trakce. Baterie je tvořena sériově řazenými olověnými akumulátory.

Topologie nabíječky je izolovaná, skládá se ze tří vzájemně galvanicky oddělených ostrovů: primárního ostrovu, který je připojován k síti, sekundárního ostrovu, který je připojován k nabíjeným bateriím, a řídicího ostrovu, který je možné připojit ke komunikačnímu rozhraní sběrnici CAN. Galvanické oddělení primárního a sekundárního ostrovu je provedeno pomocí feritového transformátoru pracujícího na vysoké frekvenci 100 kHz. Oddělení řídicího ostrovu od silových ostrovů je provedeno izolačními zesilovači, optoizolátorem a pomocí relé.

Zjednodušené silové schéma je zobrazeno na obrázku 3.1. (Kompletní schéma zapojení je uvedeno v příloze C.) Na vstupu i výstupu jsou z důvodu potlačení rušení řazeny EMI filtry tvořené Common Mode tlumivkou a C_x a C_y kondenzátory. Za EMI filtrem je na vstupu řazen usměrňovací můstek a následně kondenzátor C_4 , následuje blok měření tvořený bočníkem a děličem napětí. Za blokem měření je řazen samotný boost měnič tvořený tlumivkou L_2 s indukčností 1200 μH , SiC MOSFET tranzistorem Q_1 a SiC diodou D_5 . Následuje vyhlazovací kondenzátor C_5 o velikosti 470 μF . Blok boost měniče plní úkol PFC a navíc reguluje napětí na výstupu v požadovaném rozmezí 160–200 V. Aby bylo možné výkon přenést přes transformátor, je stejnosměrné napětí rozstřídáno pomocí H-můstku tvořeného čtveřicí SiC MOSFET tranzistorů. Transformátor má snižující poměr 17:8 umožňující dosáhnout požadovaného napětí na výstupu, které je nižší než napětí na kondenzátoru C_5 . Na sekundáru transformátoru je poté napětí opět usměrněno pomocí diodového můstku. Následuje vyhlazovací kondenzátor C_6 s kapacitou 1000 μF a výstupní blok měření opět tvořený bočníkem a děličem napětí.

Nabíječka je takzvané „Single-Stage“ topologie. To znamená, že se boost měnič stará nejen o PFC, ale také zajišťuje změnu výstupního napětí v požadovaných mezích. Existuje i „Two-Stage“ zapojení, u kterého má boost měnič na starosti pouze PFC. Napětí meziobvodu je udržováno na konstantní úrovni a o změnu výstupního napětí se stará výstupní buck měnič. [37]

Parametry, respektive typy použitých součástek jsou uvedeny v tabulce 3.1. Parametry prototypu jsou shrnuty v tabulce 3.2.



Obrázek 3.1: Silové schéma

Součástka	Značení v obrázku 3.1	Typové označení / Hodnota
vstupní můstkový usměrňovač	D1–D4	GBK25J (600 V; 25 A)
PFC tlumivka	L2	1200 μ H
PFC tranzistor	Q1	MSC090SMA070B (700 V; 28 A)
PFC dioda	D5	STPSC20065WY (650 V; 20 A)
vyhlazovací kondenzátor v meziobvodu	C5	470 μ F
H-můstek tranzistory	Q2–Q5	UJC06505K (650 V; 36,5 A)
transformátor	TR1	17:8
výstupní můstkový usměrňovač	D6–D9	STPSC20065WY (650 V; 20 A)
výstupní vyhlazovací kondenzátor	C6	1000 μ F

Tabulka 3.1: Parametry vybraných součástek tvořících silový obvod prototypu

vstupní napětí	V_{rms}	230 V (RMS)
výstupní napětí	V_{out}	160–200 V
napětí stejnosměrného meziobvodu	V'_{out}	340–425 V
maximální výstupní výkon	P_{max}	2 kW
spínací frekvence PFC	f_{PFC}	200 kHz
spínací frekvence H-můstku	f_H	100 kHz

Tabulka 3.2: Parametry prototypu

3.1 Stanovení pracovního režimu měniče

Pracovní režim prototypu je možné určit pomocí rovnic odvozených v [10]. CCM nastává, pokud je splněna nerovnice:

$$P_{in}^{CCM} > \frac{1}{2Lf_{PFC}} V_{rms}^2 \quad (3.1)$$

a DCM pokud je splněna nerovnice:

$$P_{in}^{DCM} < \frac{1}{2Lf_{PFC}} \left(1 - \frac{V_{rms}}{V'_{out}}\right) V_{rms}^2 \quad (3.2)$$

Rovnice (3.1) a (3.2) platí za předpokladu čistě odporového chování měniče, tedy při ideální kompenzaci účinníku. Pro zjednodušení navíc uvažujme 100% účinnost měniče.

Dosažením maximální hodnoty stejnosměrného meziobvodu $V'_{out} = 425$ V dostáváme mezní hodnoty výkonu:

$$P_{in}^{CCM} > \frac{1}{2 \cdot 1200 \cdot 10^{-6} \cdot 200000} 230^2 = 110 \text{ W} \quad (3.3)$$

$$P_{in}^{DCM} < \frac{1}{2 \cdot 1200 \cdot 10^{-6} \cdot 200000} \left(1 - \frac{230}{425}\right) 230^2 = 50,6 \text{ W} \quad (3.4)$$

K CCM bude u měniče docházet při výkonech vyšších než 110 W. Při výkonech nižších než 50,6 W bude docházet k DCM. Mezi těmito dvěma mezemi se bude pracovní režim během pulzů sítového napětí měnit a bude docházet k režimu MCM.

Výkon [W]	Výkon [$\%P_{max}$]	Pracovní režim
(0; 50,6)	(0; 2,5)	DCM
(50,6; 110)	(2,5; 5,5)	MCM
(110; 2000)	(5,5; 100)	CCM

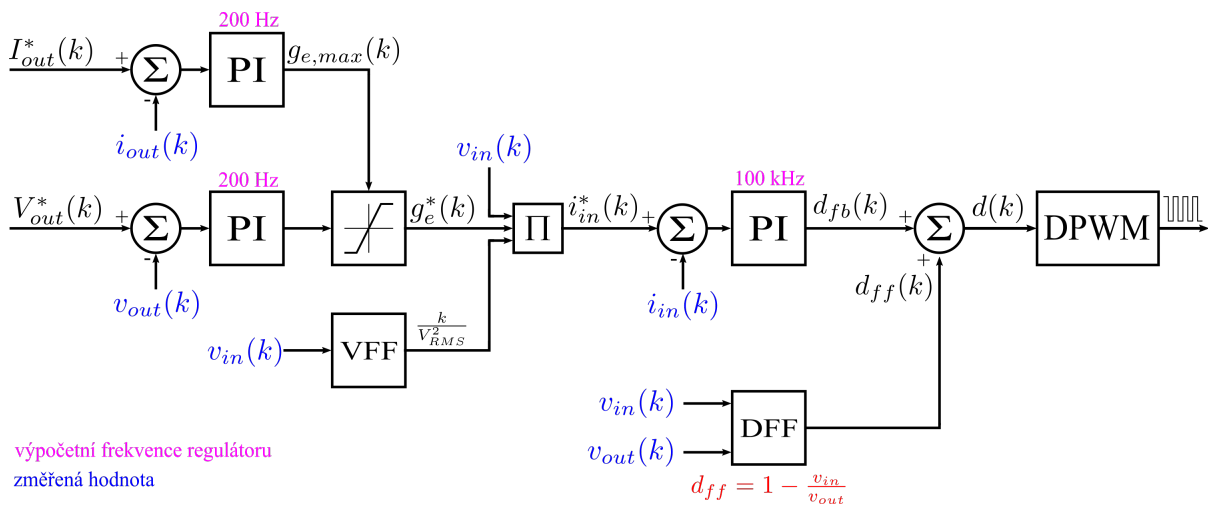
Tabulka 3.3: Pracovní režimy měniče v závislosti na výkonu

Měnič bude pracovat plně v CCM již od 110 W, což je 5,5 % jmenovitého výkonu. Při poklesu výkonu pod 5 % bude nabíjecí cyklus již ukončen a nabíječka bude odpojována od baterie. Regulační struktura bude proto navržena pro CCM bez nutnosti zabývat se provozem v jiných pracovních režimech.

Kapitola 4

Návrh regulační struktury

Navržená regulační struktura je zobrazena na obrázku 4.1.



Obrázek 4.1: Navržená regulační struktura

Základem regulační struktury jsou tři PI regulátory. Na nejnižší úrovni je regulátor vstupního proudu i_{in} , jehož úkolem je zajistit sledování referenčního průběhu proudu i_{in}^* , který je dán síťovým napětím v_{in} . Nadřazený regulátor výstupního napětí v_{out} má za úkol upravovat ekvivalentní vodivost měniče g_e^* tak, aby bylo na výstupu měniče udržováno požadované výstupní napětí V_{out}^* i při změnách zátěže nebo efektivní hodnoty vstupního napětí.

Oproti klasické regulační struktuře PFC je součástí struktury ještě nadřazený regulátor výstupního proudu i_{out} . Ten je použit kvůli požadavku na nabíjecí cyklus baterií. Při nabíjení baterií bývá požadavek na omezení nabíjecího proudu. [1] Toto omezení je implementováno regulátorem, který úpravou horní saturační meze $g_{e,max}$ pro regulátor výstupního napětí zajistí, aby výstupní proud nepřesáhl referenční hodnotu I_{out}^* .

Regulátor výstupního proudu se podílí na řízení pouze pokud aktivně omezuje požadovanou hodnotu ekvivalentní vodivosti g_e^* , což nastává z počátku nabíjecího cyklu. Tento režim je nazýván nabíjení konstantním proudem. V následujícím režimu, kdy dochází k nabíjení konstantním napětím, již není třeba výstupní proud omezovat a regulátor se na řízení nepodílí. [1]

Chování regulační struktury zlepšují dva doplňující prvky. Těmi jsou metody VFF a DFF. VFF kompenzuje změnu chování regulační struktury při změně RMS hodnoty vstupního napětí a DFF podstatně zlepšuje chování regulátoru, jak je popsáno v 2.2.1.

4.1 Odvození konstant PI regulátorů

Regulační struktura sestává ze tří regulátorů, jejichž regulační konstanty bylo třeba nalézt.

Odvození konstant regulátoru bylo provedeno pomocí metody kompenzace chování otevřené regulační smyčky. [3] Nejprve byla otevřená regulační smyčka popsána a následně k ní byl pomocí programu MATLAB Sisotool nalezen vhodný regulátor tak, aby bylo dosaženo požadované šířky pásma a fázové bezpečnosti otevřené regulační smyčky. Tím je zároveň dosaženo požadovaného chování a stability uzavřené regulační smyčky.

Regulátor byl navržen jako spojité pro spojitý systém a následně byl diskretizován.

Regulační konstanty byly nalezeny pro režim CCM, ve kterém bude měnič pracovat již od velmi malých výkonů.

4.1.1 Přenosy otevřených regulačních smyček

Přenosy kompenzovaných otevřených regulačních smyček jsou dány rovnicemi:

$$T_o^{i_{in}}(s) = k_{DPWM} \cdot H_p^{i_{in}}(s) \cdot k_{sh}^{i_{in}} \cdot k_{iso}^{i_{in}} \cdot k_{ADC} \cdot k_{MCU}^{i_{in}} \cdot G_{PI}^{i_{in}}(s) \cdot H_{delay}^{i_{in}}(s) \quad (4.1)$$

$$T_o^{i_{out}}(s) = H_p^{i_{out}}(s) \cdot k_{sh}^{i_{out}} \cdot k_{iso}^{i_{out}} \cdot k_{ADC} \cdot k_{MCU}^{i_{out}} \cdot G_{PI}^{i_{out}}(s) \quad (4.2)$$

$$T_o^{v_{out}}(s) = H_p^{v_{out}}(s) \cdot k_{div}^{v_{out}} \cdot k_{iso}^{v_{out}} \cdot k_{ADC} \cdot k_{MCU}^{v_{out}} \cdot G_{PI}^{v_{out}}(s) \quad (4.3)$$

kde k_{DPWM} je zesílení DPWM, H_p je přenos boost měniče, k_{sh} je zesílení bočnicku, k_{div} je zesílení napěťového děliče, k_{ADC} je zesílení ADC, k_{MCU} je zesílení MCU, G_{PI} je přenos PI regulátoru a H_{delay} je přenos dopravního zpoždění.

4.1.2 Přenosy jednotlivých bloků

Zesílení DPWM

k_{DPWM} je zesílení digitálního PWM. Generátor DPWM je realizován timerem s rozlišením 0 až 23040. Zesílení bloku bude proto $1/23040$.

$$k_{DPWM} = \frac{1}{23040} \quad (4.4)$$

Zesílení děliče a bočníků

Zesílení napěťového děliče a proudových bočníků jsou dány odporem použitých rezistorů.

$$k_{sh}^{i_{in}} = 0,003 \quad (4.5)$$

$$k_{sh}^{i_{out}} = 0,001 \quad (4.6)$$

$$k_{div}^{v_{out}} = 7 \cdot 10^{-4} \quad (4.7)$$

■ Zesílení izolátorů

Izolační zesilovače pro proudové signály mají zesílení 16,2 a pro napěťové signály 8,1.

$$k_{iso}^{i_{in}} = 16,2 \quad (4.8)$$

$$k_{iso}^{i_{out}} = 16,2 \quad (4.9)$$

$$k_{iso}^{v_{out}} = 8,1 \quad (4.10)$$

■ Přenos ADC

Přenos ADC je u všech regulačních smyček stejný. Určí se z referenční hodnoty napětí pro ADC a z počtu bitů jeho registru. Je použit ADC v konfiguraci s nejvyšší možným rozlišením 12 bitů. Efektivní rozlišení je ale pouze poloviční z důvodu diferenciálního vstupu ADC.

$$k_{ADC} = \frac{1}{2} \cdot \frac{2^{12} - 1}{V_{ref}} = \frac{1}{2} \cdot \frac{4095}{3,3} = 620,5 \quad (4.11)$$

■ Přenos MCU

Vzhledem k tomu, že MCU obsahuje periférii FPU, která realizuje rychlé výpočty s plovoucí desetinnou čárkou, je rozumné realizovat všechny výpočty v datovém typu float.

Měřené veličiny poté mohou být bez ztráty přesnosti přepočteny do základních jednotek.

Tento přepoččet je reprezentován zesílením MCU, které kompenzuje zesílení ADC k_{ADC} , izolátoru k_{iso} a proudového bočnicku k_{sh} , respektive napěťového děliče k_{div} .

$$k_{MCU}^{i_{in}} = \frac{1}{k_{sh}^{i_{in}} \cdot k_{iso}^{i_{in}} \cdot k_{ADC}} \quad (4.12)$$

$$k_{MCU}^{i_{out}} = \frac{1}{k_{sh}^{i_{out}} \cdot k_{iso}^{i_{out}} \cdot k_{ADC}} \quad (4.13)$$

$$k_{MCU}^{v_{out}} = \frac{1}{k_{div}^{v_{out}} \cdot k_{iso}^{v_{out}} \cdot k_{ADC}} \quad (4.14)$$

■ Přenos boost měniče

Rovnice pro přenosy samotného boost měniče byly nalezeny v literatuře.

Pro přenos regulační smyčky vstupního proudu v CCM platí [10]:

$$H_p^{i_{in}}(s) = \frac{\hat{i}_{in}(s)}{\hat{d}(s)} = \frac{V'_{out}}{sL} \quad (4.15)$$

kde $\hat{i}_{in}(s)$ je malá změna vstupního proudu indukčnosti a $\hat{d}(s)$ je malá změna střídání. V'_{out} je výstupní napětí boost měniče a L je indukčnost boost měniče.

Pro přenos regulační smyčky napětí platí [18]:

$$H_p^{v_{out}}(s) = \frac{\hat{v}_{out}(s)}{\hat{g}_e(s)} = \frac{\eta V_{rms}^2}{sC'V'_{out}} \quad (4.16)$$

kde $\hat{v}_{out}(s)$ je malá změna výstupního napětí a $\hat{g}_e(s)$ je malá změna ekvivalentní vodivosti. V_{rms} je efektivní hodnota vstupní napětí a C' je kapacita boost měniče.

Z přenosu regulační smyčky výstupního napětí (4.16) je pomocí Ohmova zákona odvozen přenos pro regulační smyčku výstupního proudu:

$$H_p^{i_{out}}(s) = \frac{\hat{i}_{out}(s)}{\hat{g}_e(s)} = \frac{\eta V_{rms}^2}{s C' V'_{out} R'} \quad (4.17)$$

kde $\hat{i}_{out}(s)$ je malá změna výstupního proudu a $\hat{g}_e(s)$ je malá změna ekvivalentní vodivosti. R' je odpor zátěže.

■ Přenos dopravního zpoždění

U rychlé regulační smyčky vstupního proudu je třeba uvažovat dopravní zpoždění signálové cesty. Toto zpoždění bylo určeno experimentálně pomocí odezvy měřeného proudu na skok střídavé. Bylo zaznamenáno zpoždění $50 \mu s$, což odpovídá pěti výpočetním periodám regulátoru proudu T_{reg}^{in} .

$$H_{delay}(s) = e^{-s \cdot 5 T_{reg}^{in}} \quad (4.18)$$

U zbylých regulačních smyček je uvažován výpočet regulátorů s frekvencí 200 Hz, a proto není nutné zpoždění signálové cesty uvažovat.

■ Přenos regulátoru

U všech regulačních smyček byl uvažován PI regulátor v paralelním tvaru:

$$G_{PI}(s) = k_p + \frac{k_i}{s} \quad (4.19)$$

kde k_p je proporcionalní a k_i integrační konstanta regulátoru.

■ 4.1.3 Ekvivalentní obvod

Konstanty regulátoru byly nalezeny pro pracovní bod, pro který platí: efektivní hodnota vstupního napětí 230 V, výstupní napětí 200 V a výstupní výkon měniče 2 kW.

Obrázek 4.2 zobrazuje zjednodušený silový obvod v tomto pracovním bodě.

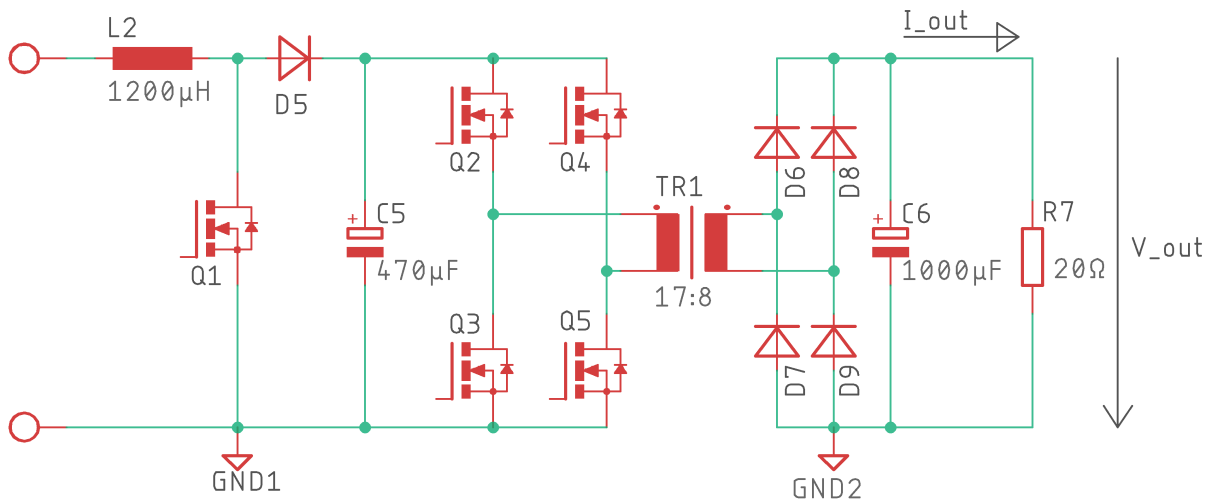
Aby bylo možné dosadit do rovnic (4.16) a (4.17) a potažmo vyjádřit přenosy otevřených regulačních smyček, bylo nutné upravit obvod do náhradního zapojení, ve kterém není transformátor, H-můstek a usměrňovací můstek, a najít ekvivalentní hodnoty kapacity kondenzátoru a odporu zátěže.

Ekvivalentní silový obvod je zobrazen na obrázku 4.3. Výstupní obvod připojený k sekundáru transformátoru je přepočten pomocí transformačního poměru p_{TR} na primár. Transformátor, H-můstek i usměrňovací můstek jsou v zapojení vynechány.

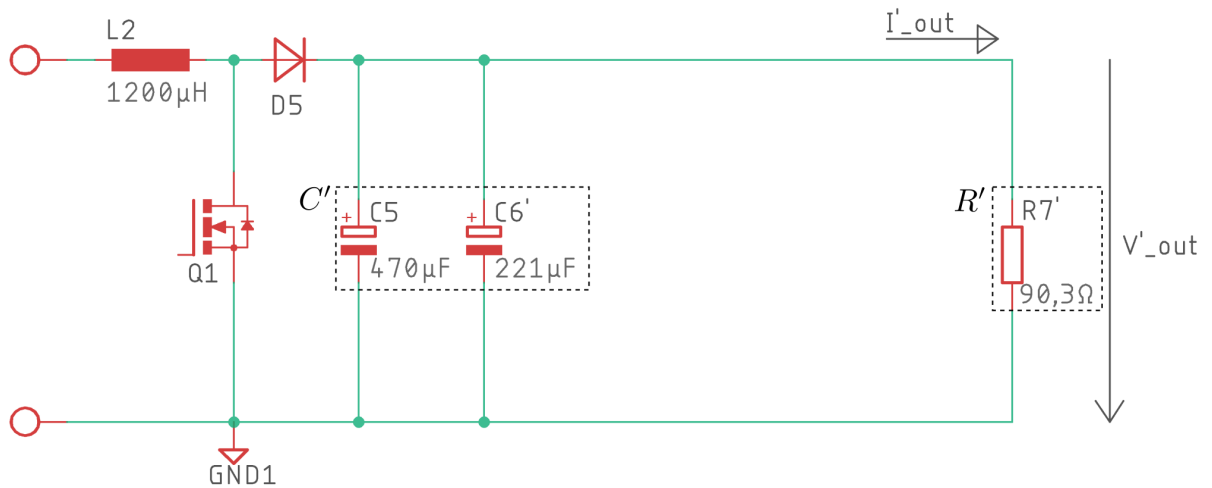
Kapacita kondenzátoru C_6' je určena pomocí rovnice pro energii uloženou v elektrickém poli tak, aby se energie uložená v kondenzátoru nezměnila.

Ekvivalentní kapacita kondenzátoru C_6' se určí ze vztahu:

$$C_6' = \frac{1}{p_{TR}^2} \cdot C_6 = \left(\frac{8}{17}\right)^2 \cdot 1000 \cdot 10^{-6} = 221 \mu F \quad (4.20)$$



Obrázek 4.2: Zjednodušený silový obvod



Obrázek 4.3: Ekvivalentní silový obvod

Kondenzátory C5 a C6' jsou v náhradním obvodu řazeny paralelně, celková kapacita se proto získá jako jejich součet $C' = 691 \mu\text{F}$.

Odpor zátěže je určen ze vzorce:

$$R' = \frac{V_{out}^2}{P_{out}} = \frac{425^2}{2000} = 90,3 \Omega \quad (4.21)$$

tak, aby byl zachován výstupní výkon.

Parametry pracovního bodu dosazené do rovnic přenosů boost měniče (4.15), (4.16) a (4.17) jsou zobrazeny v tabulce 4.1. Ztráty měniče jsou pro zjednodušení zanedbány.

V_{rms}	230 V
V'_{out}	425 V
L	1200 μ H
C'	691 μ F
R'	90,3 Ω
η	1

Tabulka 4.1: Parametry pracovního bodu použitého k určení konstant regulátorů

Po dosazení a následném vyčíslení rovnic přenosů otevřených regulačních smyček (4.1), (4.2) a (4.3) dostáváme:

$$T_o^{i_{in}}(s) = (k_p + \frac{k_i}{s}) \cdot (\frac{15,38}{s} \cdot e^{-0.00005s}) \quad (4.22)$$

$$T_o^{v_{out}}(s) = (k_p + \frac{k_i}{s}) \cdot (\frac{180131}{s}) \quad (4.23)$$

$$T_o^{i_{out}}(s) = (k_p + \frac{k_i}{s}) \cdot (\frac{1995}{s}) \quad (4.24)$$

4.1.4 Kompenzace otevřené regulační smyčky

Konstanty regulátoru byly nalezeny pomocí nástroje MATLAB Sisotool. Byla zvolena metoda kompenzace otevřené regulační smyčky pomocí Bodeho diagramu. Nástroj nalezne kýžené konstanty regulátoru tak, aby Bodeho diagram kompenzované otevřené regulační smyčky splňoval žádanou šířku pásma a fázovou bezpečnost.

Bodeho diagram kompenzované regulační smyčky by měl obecně vyhovět těmto požadavkům [2]:

- šířka pásma menší nebo rovna jedné desetinně výpočetní frekvence regulátoru
- fázová bezpečnost větší nebo rovna 60°
- zesílení na výpočetní frekvenci menší nebo rovno -20 dB
(u výstupních regulačních smyček navíc požadujeme, aby bylo i zesílení na dvojnásobku frekvence sítě menší nebo rovno -20 dB)

Regulační konstanty nalezené za splnění těchto požadavků by měly zajistit stabilní chování regulátoru. [2]

Nalezené konstanty a parametry Bodeho diagramu jsou uvedeny v tabulce 4.2.

Regulační smyčka	Výpočetní frekvence regulátoru	k_p	k_i	Šířka pásma	Fázová bezpečnost	Amplitudová bezpečnost	Zesílení na výpočetní frekvenci regulátoru
i_{in}	100 kHz	654	115 000	1,6 kHz	60,2°	9,9 dB	-36 dB
v_{out}	200 Hz	$174 \cdot 10^{-6}$	$95,9 \cdot 10^{-6}$	5 Hz	89°	N/A	-32 dB
i_{out}	200 Hz	$15,8 \cdot 10^{-3}$	$8,7 \cdot 10^{-3}$	5 Hz	89°	N/A	-32 dB

Tabulka 4.2: Nalezené konstanty regulátorů a parametry Bodeho diagramu kompenzované otevřené regulační smyčky

Příslušné Bodeho diagramy jsou na obrázku 4.4. Bodeho diagramy regulační smyčky výstupního napětí a výstupního proudu mají stejný průběh, a proto je zobrazen pouze jeden společný diagram.

4.1.5 Diskretizace regulátoru

Konstanty pro digitální regulátor byly získány pomocí metody ZOH. Hodnota proporcionální konstanty se zachovává. Integrovaná konstanta k_i^{dig} se získá pomocí periody výpočtu regulátoru:

$$k_i^{dig} = k_i \cdot T_{reg} \quad (4.25)$$

Konstanty digitálních regulátorů jsou zobrazeny v tabulce 4.3.

Regulační smyčka	Výpočetní frekvence regulátoru	Výpočetní perioda regulátoru	k_p	k_i	k_p^{dig}	k_i^{dig}
i_{in}	100 kHz	10 μ s	654	115 000	654	1,15
v_{out}	200 Hz	5 ms	$174 \cdot 10^{-6}$	$95,9 \cdot 10^{-6}$	$174 \cdot 10^{-6}$	$480 \cdot 10^{-9}$
i_{out}	200 Hz	5 ms	$15,8 \cdot 10^{-3}$	$8,7 \cdot 10^{-3}$	$15,8 \cdot 10^{-3}$	$43,5 \cdot 10^{-6}$

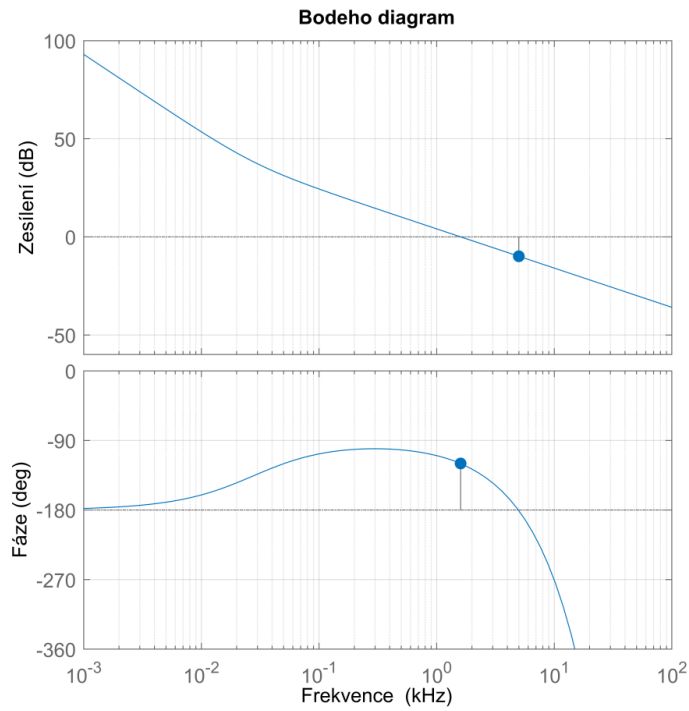
Tabulka 4.3: Nalezené konstanty digitálních regulátorů

4.2 Anti-windup

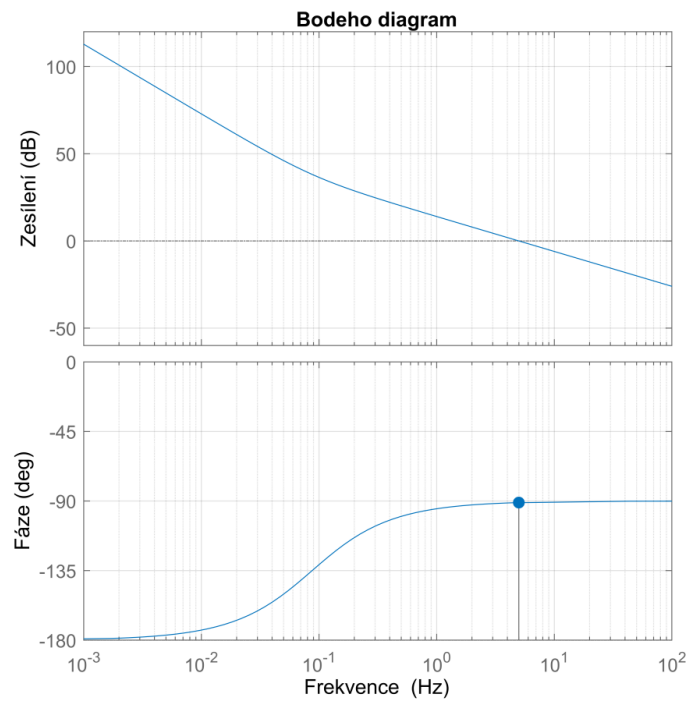
Windup označuje stav regulátoru, při kterém se integrátor snaží dále snižovat regulační odchylku zvýšením akční veličiny, přestože akční veličina již dosáhla saturace. Integrovaná složka při windupu narůstá a teoreticky může dosáhnout až nekonečných hodnot. Vlivem windupu pak dochází ke snížení dynamiky regulátoru při změně žádané hodnoty. [7]

U všech třech regulátorů je zamezeno windupu integrátoru pomocí Anti-windup algoritmu.

U regulátoru vstupního proudu je použita metoda Back-calculation a u regulátorů výstupního napětí a výstupního proudu, které poběží na pozadí programu, je použita metoda podmíněné integrace známa jako Clamping. [7]



(a) : Kompenzovaná otevřená regulační smyčka vstupního proudu



(b) : Kompenzovaná otevřená regulační smyčka výstupního napětí a výstupního proudu

Obrázek 4.4: Bodeho diagramy kompenzovaných regulačních smyček

Kapitola 5

Implementace v MCU

Představená regulační struktura byla implementována v mikroprocesoru STM32F334. Jedná se o 32bitový ARM Cortex M4 procesor s taktovací frekvencí 72 MHz. [43] Procesor obsahuje jednotku FPU, která umožňuje rychlé výpočetní operace v plovoucí desetinné čárce, proto byla většina proměnných a výpočtů implementována v datovém typu float.

5.1 Použité periferie procesoru

Tabulka 5.1 uvádí seznam použitých periférií procesoru.

Název periferie	Účel periferie
HRTIM	PWM pro PFC tranzistor, trigger pro ADC
TIM2	PWM pro H-můstek
DMA	přesun naměřených hodnot z ADC registrů
ADC1, ADC2	měření vstupních a výstupních veličin
CAN	posílání měřených hodnot a hlášení stavu FSM

Tabulka 5.1: Seznam použitých periférií

5.1.1 HRTIM

Ke generování PWM signálu pro PFC tranzistor byla použita periferie HRTIM. HRTIM je timer s vysokým rozlišením. Díky násobení kmitočtu může mít HRTIM až 32krát větší rozlišení než standardní timer procesoru. Maximálního rozlišení bylo s výhodou využito u PWM pro PFC, která má frekvenci 200 kHz. HRTIM čítá nahoru v rozmezí 0 až 23040. K samotnému generování PWM slouží compare jednotka CMP1.

Pomocí HRTIMu je také spouštěn převod ADC. Při komparaci timeru s registrem compare jednotky CMP2 dochází k vyvolání triggeru pro ADC1 a ADC2, čímž je spuštěna sekvence měření vstupních a výstupních veličin. Trigger vyvolává převod s frekvencí 200 kHz.

5.1.2 TIM2

Pomocí timeru TIM2 a jeho compare jednotek CCR3 a CCR4 dochází ke generování PWM pro H-můstek. Pro H-můstek je použito standardního timeru, protože hodnota střídy H-můstku se během provozu (vyjma počátečního softstartu) nemění, a proto není nutné střídu nastavovat s vysokým rozlišením. TIM2 čítá v módu „Center-Aligned“ v rozmezí 0–360–0.

■ 5.1.3 ADC

Pomocí ADC jsou měřeny vstupní a výstupní veličiny nabíječky. MCU má dvě ADC jednotky. ADC1 slouží k měření výstupních a ADC2 k měření vstupních veličin. Sekvence obou jednotek začíná vzorkováním proudu a následně je vzorkováno napětí. Hodnoty vstupních a výstupních veličin jsou pomocí převodníků aktualizovány s frekvencí 200 kHz.

■ 5.1.4 DMA

Periferie DMA slouží k vyzvednutí změřených hodnot z registrů ADC bez nutnosti vyvolávat obsluhu přerušování ADC po každém převodu. Do bufferu DMA, jehož délka je nastavena na 4 prvky, se zapisují hodnoty ze dvou po sobě jdoucích sekvencí měření ADC. DMA CH1 obsluhuje ADC1 a DMA CH2 obsluhuje ADC2. Po zaplnění bufferu DMA CH1 je vyvoláno přerušování, které nastává s frekvencí 100 kHz.

■ 5.1.5 CAN

Pomocí periferie CAN jsou posílány měřené hodnoty, stavová hlášení a jiné význačné parametry. Periferie zároveň umožňuje přijímat zprávy, čehož bylo využito při ladění. K vysílání CAN dochází s frekvencí 20 Hz.

■ 5.2 Popis synchronních operací v programu

Na obrázku 5.1 je zobrazeno časování a spouštění jednotlivých periférií. Zároveň je znázorněno časování celého softwaru.

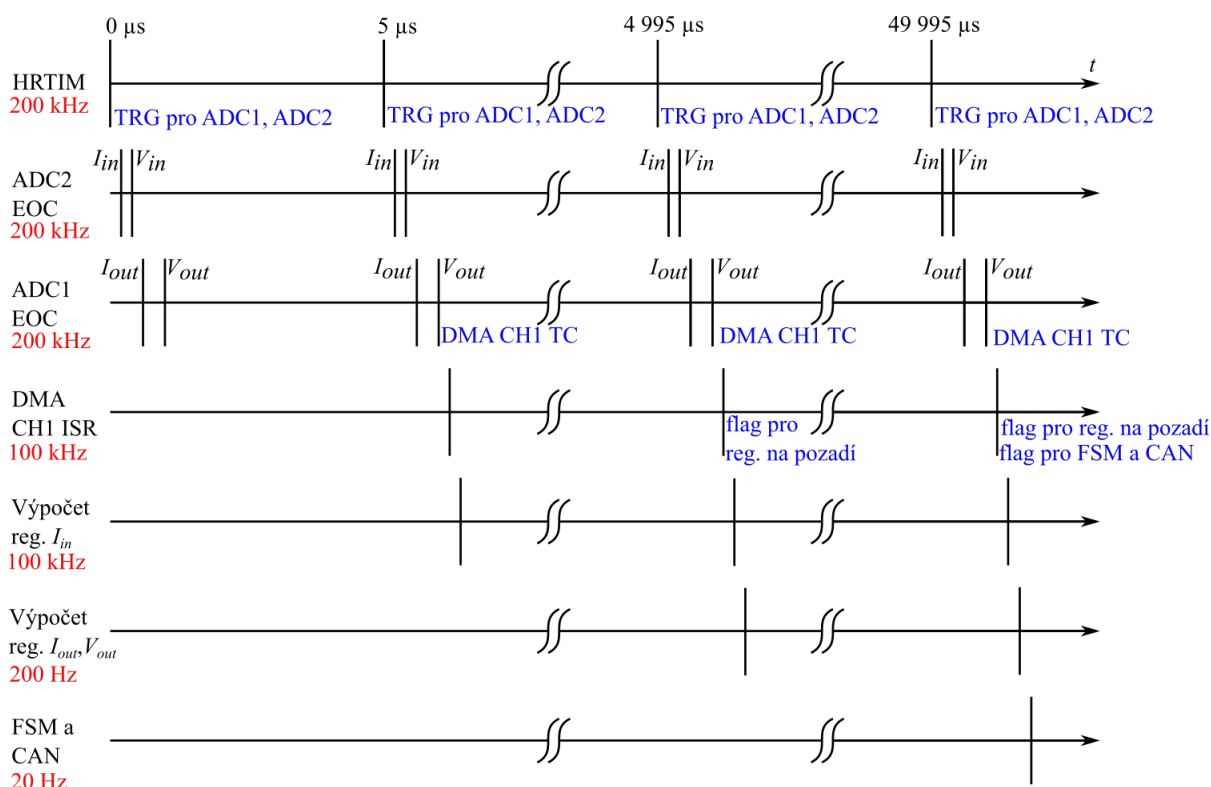
Takt programu je udáván pomocí periferie HRTIM. Compare jednotka HRTIM CMP2 nastává každých 5 μ s trigger pro převodníky ADC1 a ADC2. Okamžik nastavení triggeru odpovídá polovině náběžné hrany vstupního proudu. Experimentálně bylo zjištěno, že zpoždění ideálního a skutečného okamžiku vzorkování je zanedbatelné a nemusí tedy být kompenzováno. Triggerem je vyvolána sekvence měření. ADC2 nejprve převádí vstupní proud. Po převodu je hodnota vyzvednuta z registru ADC2 pomocí DMA CH2 a ADC2 začne ihned převádět vstupní napětí. Hodnota je následně opět vyzvednuta pomocí DMA CH2.

Doba vzorkování ADC2 je nastavena na nejnižší možnou hodnotu danou výstupním odporem izolačního zesilovače. Celý převod trvá 17 výpočetních cyklů procesoru, což odpovídá 236 ns.

U ADC1, který snímá výstupní veličiny, je situace obdobná. Jediná změna tkví v úpravě vzorkovacího času tak, aby nebyl současně generován požadavek na přenos pomocí DMA od obou převodníků. U ADC1 trvá převod 20 výpočetních cyklů procesoru (278 ns).

Po dokončení dvou měřících sekvencí ADC1 a přenesení dat má DMA CH1 zcela zaplněn buffer novými daty a vyvolá přerušování TC¹. (Narozdíl od toho DMA CH2 přerušování nevyvolává, ale jak je z diagramu 5.1 zřejmé, v okamžiku posledního přenosu DMA CH1 jsou již data z ADC2 druhým kanálem DMA bezpečně vyzvednuta.) K přerušování od DMA dochází s frekvencí 100 kHz.

¹Transfer Complete



Obrázek 5.1: Časování programu

5.2.1 DMA ISR

Sekvence operací v přerušení vyvolaném DMA je znázorněna na obrázku 5.2.

Přerušení je vyvoláno nastavením flagu `DMA_CH1_TC`. V obsluze přerušení jsou nejprve načtena vstupní data `DMA_CH2_buffer[0-3]` z bufferu DMA CH2. Načtená data jsou uložena do proměnné typu `float`. Pro potlačení náhodného rušení je z dvojic dat pro vstupní proud a vstupní napětí vypočítán průměr.

Zprůměrované hodnoty `I_in.adc` a `V_in.adc` jsou následně přepočítány do základních jednotek.

Pro zlepšení průběhu referenčního napětí je následně vstupní napětí `V_in.si` vyfiltrováno digitálním dolnoproputným filtrem 2. řádu typu Butterworth [8].

Vyfiltrované napětí `V_in.flt` je vynásobeno požadovanou ekvivalentní vodivostí `ge`, která je nastavována regulátorem výstupního napětí na pozadí, a VFF faktorem `vff`. Výsledkem součinu je referenční vstupní proud pro regulátor proudu `I_in.req`.

Následuje výpočet DFF. Dopředná střída `dff` je určena z vyfiltrovaného vstupního napětí `V_in.flt` a vyfiltrovaného výstupního napětí `V_out.avg`, jehož hodnota je aktualizována na pozadí.

Následně je pomocí regulátoru vstupního proudu získána nová hodnota zpětnovazební střídy `dfb`.

Zpětnovazební střída `dfb` a dopředná střída `dff` jsou sečteny a tento součet je zapsán do registru compare jednotky HRTIM CMP1, která generuje PWM pro PFC.

Následuje aktualizace registru compare jednotky HRTIM CMP2 tak, aby k dalšímu vzorkování

vstupního proudu opět došlo v polovině náběžné hrany.

Posledním úkonem v přerušení je inkrementace softwarového timeru, který slouží pro časování programu na pozadí.

■ 5.2.2 Program na pozadí

Každý tisíc průchod přerušením od DMA vyvolá nastavení flagu pro regulátory na pozadí `flag_reg_main` a každý desetitísíc průchod vyvolá nastavení společného flagu pro FSM a CAN.

■ Flag pro regulátory na pozadí

Při nastavení flagu `flag_reg_main` dojde k vykonání sekvence operací, která je znázorněna na obrázku 5.2.

Nejprve dojde k načtení hodnot výstupního proudu a výstupního napětí, které jsou uloženy na posledních dvou místech bufferu `DMA_CH1_buffer[2-3]`.

Načtené hodnoty `I_out.adc` a `V_out.adc` jsou následně přepočítány do základních jednotek a uloženy do proměnné typu `float`.

Následuje výpočet efektivní hodnoty vstupního napětí `V_in.rms`. Nejprve je získána střední hodnota napětí druhou filtrací hodnoty `V_in.flr` získané v přerušení. (Protože frekvence výpočtu je soudělná s frekvencí sítě, je třeba zajistit aby nedošlo k synchronizaci a k předávání stejné hodnoty `V_in.flr` z přerušení na pozadí. Hodnota `V_in.flr` je proto v přerušení integrována a z této sumy je následně na pozadí vypočítán průměr, který se použije pro určení `V_in.rms`.) K filtraci hodnoty `V_in.flr` je opět použit dolnoproputní filtr 2. řádu typu Butterworth. Efektivní hodnota je poté získána přepočtem střední hodnoty pomocí příslušného koeficientu. (Je uvažován koeficient pro sinusový průběh, a proto je získaná hodnota efektivního napětí pouze přibližná.)

Následuje výpočet VFF. Efektivní hodnota vstupního napětí `V_in.rms` je umocněna na druhou, převrácena a vynásobena normovací konstantou k_1 .

Následuje filtrace výstupního napětí `V_out.si`, čímž je získána střední hodnota výstupního napětí `V_out.avg`, která je v přerušení použita pro výpočet DFF.

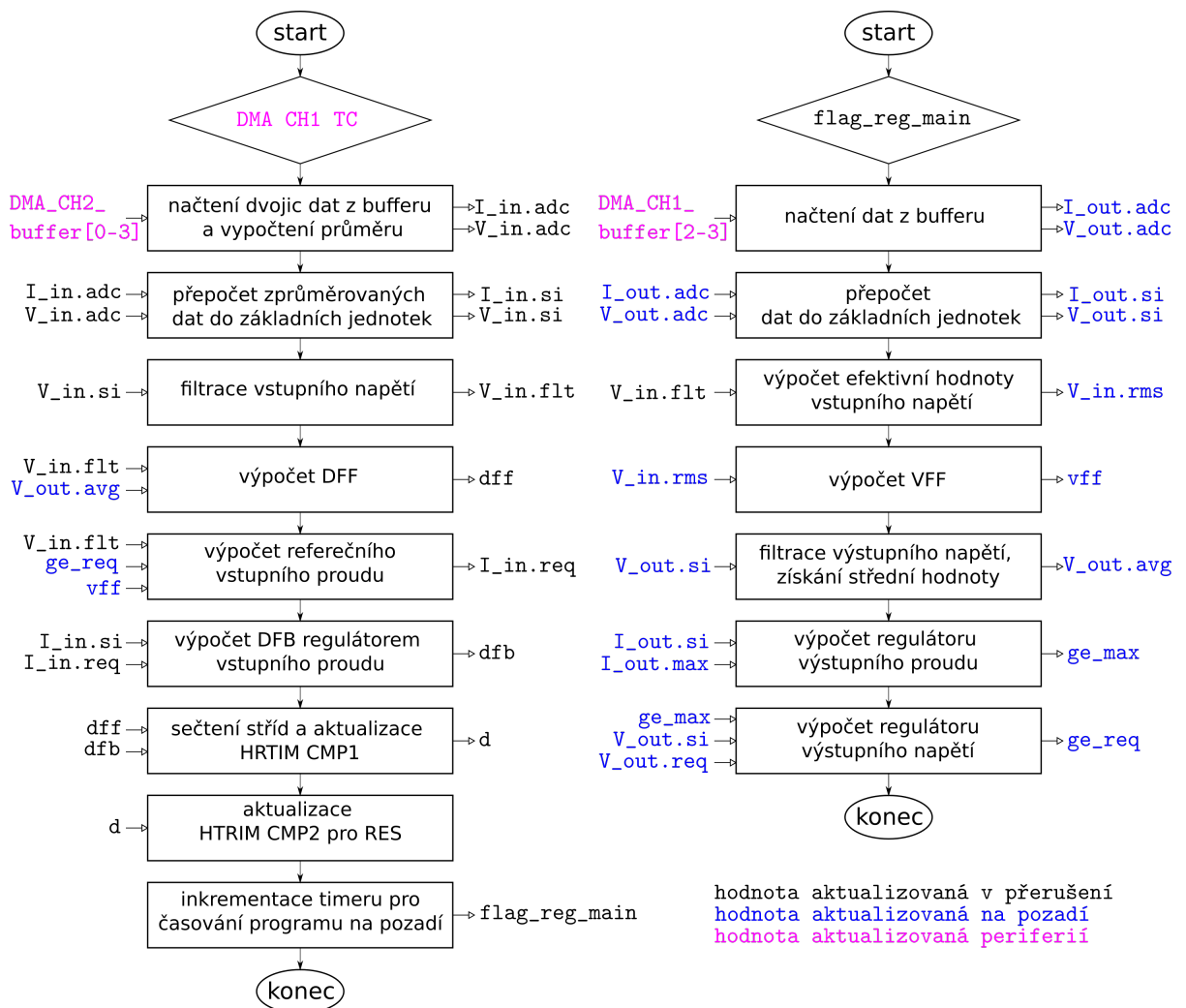
V programu je dále řazen výpočet regulátoru výstupního proudu, který aktualizuje horní saturační mez regulátoru výstupního napětí `ge_max`.

Posledním úkonem je výpočet regulátoru výstupního napětí, kterým je získána nová hodnota požadované ekvivalentní vodivosti `ge`.

■ Flag pro FSM a CAN

Při nastavení flagu pro FSM a CAN dojde nejprve k aktualizaci stavového automatu a k případné změně jeho stavu.

Následně je pomocí CAN vyslána zpráva. Vysílání zpráv probíhá cyklicky. Každých 50 ms se mění ID zprávy, která se má vysílat. Po několika průchodech programu jsou odeslány všechny zprávy a cyklus se opakuje.



Obrázek 5.2: Sekvence operací programu

5.3 Asynchronní akce

Při běhu programu může dojít ke dvěma asynchronním akcím:

- Přerušení od Watchdogu ADC2
- Přerušení od CAN

5.3.1 Watchdog ADC2

Periferie ADC2 je inicializována tak, aby byl kanál, kterým je měřen vstupní proud, hlídán pomocí Watchdogu. Pokud ADC2 naměří větší proud než 20 A, což je horní nastavená mez Watchdogu, pak ADC2 vyvolá přerušení. V přerušení pak dojde k zablokování výstupu HRTIM CMP1, a tím k odebrání pulsů na gate PFC tranzistoru. Bezprostředně poté dojde i k vypnutí H-můstku.

Takto realizovaná softwarová pojistka zamezí zničení tranzistorů nadproudem. Pojistka je vyhodnocována každých 5 μ s, přičemž během této doby může být přírůstek proudu indukčnosti maximálně 1,5 A.

■ 5.3.2 Přerušení od CAN

Periferií CAN je vyvoláno přerušení v okamžiku příjmu nové zprávy procesorem. V přerušení je nastaven příznak, zpráva je přečtena a následně zpracována programem na pozadí.

■ 5.4 FSM

Nadřazené řízení obstarává stavový automat typu Moore, který je v software realizován pomocí switche. Jeho struktura je zobrazena na obrázku 5.3. Stavový automat sestává z 8 stavů, z nichž 5 je provozních, 3 jsou poruchové.

■ 5.4.1 Stav „Brownout“

V stavu **Brownout** se nabíječka nachází po počáteční inicializaci. Ke změně stavu na **Load_Check** dojde, nachází-li se síťové napětí v požadovaných mezích 207–253 V.

Ve stavu **Brownout** se nabíječka ocitne také v případě, že dojde k detekci síťového napětí mimo požadovanou mez v ostatních provozních stavech. Stav **Brownout** je proto zároveň i stavem poruchovým. Při změně z provozního stavu na **Brownout** dojde k vypnutí PFC tranzistoru, H-můstku a k odpojení baterie pomocí relé.

■ 5.4.2 Stav „Load Check“

Ve stavu **Load_Check** se provádí kontrola napětí zátěže. Má-li napětí baterie správnou polaritu a nachází-li se v požadovaných mezích, přechází automat do stavu **Softstart_OutputCap**.

■ 5.4.3 Stav „Softstart OutputCap“

Ve stavu **Softstart_OutputCap** dojde k povolení spínání tranzistorů H-můstku. Střída se u H-můstku mění postupně, čímž se zamezí velké proudové špičce při nabíjení výstupního kondenzátoru. Po dosažení konečné hodnoty střídy H-můstku tj. 50 % (mínus deadtime) přechází stavový automat do stavu **Softstart_Battery** a sepne se relé, které připojí baterii.

■ 5.4.4 Stav „Softstart Battery“

Ve stavu **Softstart_Battery** je již sepnuto relé, kterým je baterie připojena k výstupnímu kondenzátoru a tím i celému měniči. Po připnutí baterie dojde k postupnému zvyšování povolené střídy měniče a následně postupnému zvyšování žádané hodnoty výstupního napětí. Po dosažení konečné žádané hodnoty napětí pro regulátor napětí přechází stavový automat do stavu **Run**.

■ 5.4.5 Stav „Run“

Ve stavu Run měnič setrvává po dobu nabíjení baterie. O jednotlivé nabíjecí režimy konstantního napětí a konstantního proudu se starají regulátory výstupního napětí a proudu.

Po poklesu nabíjecího proudu pod danou mez přechází automat do stavu `Fully_Charged`. Při přechodu dojde k vypnutí PWM pro PFC tranzistor a H-můstek a rozepnutí relé, kterým je baterie připojena k měniči.

■ 5.4.6 Stav „Fully Charged“

Ve stavu `Fully_Charged` se měnič nachází po ukončení nabíjení baterie. Ukončení nabíjení je signalizováno pomocí LED.

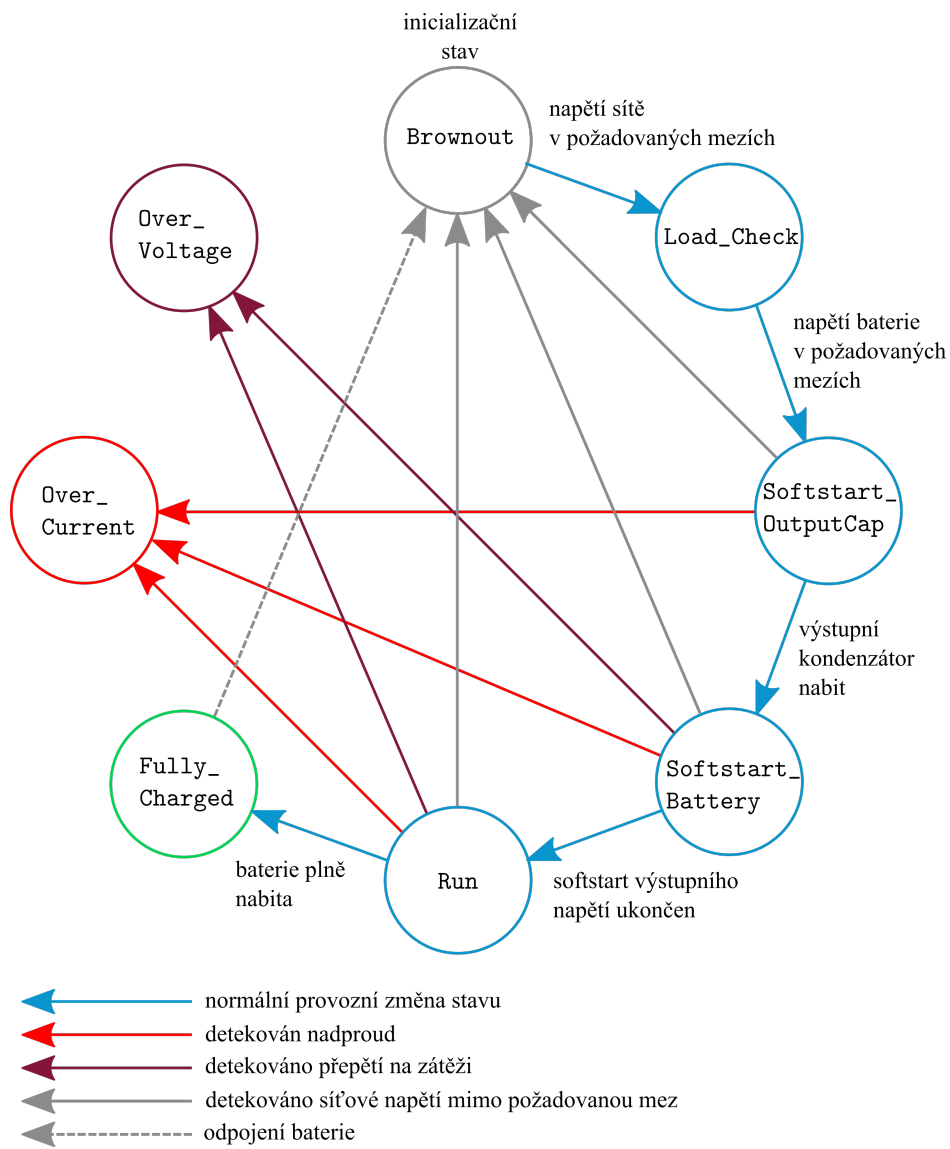
Při náhodném odpojení baterie ve stavu Run by došlo k poklesu proudu a k chybnému přechodu do stavu `Fully_Charged`. Ve stavu `Fully_Charged` je proto vyhodnocováno napětí na zátěži. Poklesne-li toto napětí pod danou mez, přechází nabíječka do inicializačního stavu `Brownout`.

■ 5.4.7 Stav „Over Current“

Poruchový stav `Over_Current` nastane, je-li v některém z provozních stavů detekován nadproud na vstupu měniče. Při přechodu do tohoto stavu dojde k odpojení baterie pomocí výstupního relé. K vypnutí PFC tranzistoru a H-můstku dochází bezprostředně po detekci nadproudu Watchdogem ADC2 v obsluze přerušení. Stav lze opustit pouze vypnutím nabíječky a jejím opětovným spuštěním. Stav `Over_Current` je signalizován pomocí LED.

■ 5.4.8 Stav „Over Voltage“

Poruchový stav `Over_Voltage` nastane, je-li po připojení baterie k měniči detekováno přepětí na baterii. Při přechodu do tohoto stavu dojde k vypnutí PFC tranzistoru, H-můstku a odpojení baterie pomocí relé. Stav lze opustit pouze vypnutím nabíječky a jejím opětovným spuštěním. Stav `Over_Voltage` je signalizován pomocí LED.



Obrázek 5.3: Stavový automat nabíječky

Kapitola 6

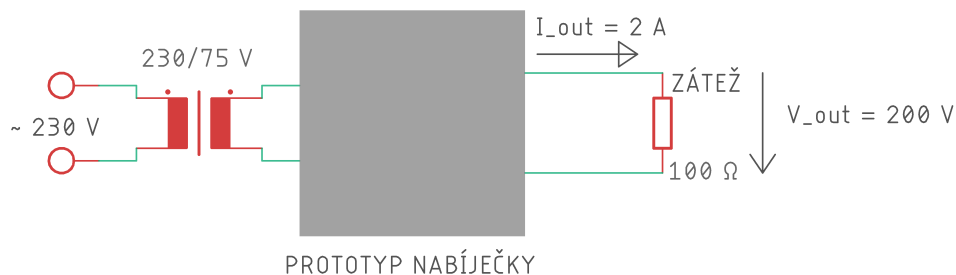
Měření na prototypu

Experimentální ověření bylo provedeno na sníženém napětí 75 V a následně na plném síťovém napětí 230 V.

6.1 Měření na sníženém napětí 75 V

Experimentální ověření bylo provedeno na oddělovacím transformátoru se snižujícím poměrem při výstupním výkonu nabíječky 400 W.

Zapojení při měření ukazuje obrázek 6.1. Napětí 230 V bylo získáno ze sítě, a proto nemá ideální sinusový průběh.



Obrázek 6.1: Zapojení při měření na sníženém napětí 75 V

Vstupní a výstupní proud byl měřen jako úbytek na výkonovém rezistoru. Na vstupu byl použit bočník o velikosti 0,1 Ω a na výstupu bočník o velikosti 1 Ω. Vstupní napětí a proud byly měřeny za transformátorem – na vstupu nabíječky.

Při měření byly použity konstanty odvozené v kapitole 4. Výstupní napětí bylo nastaveno na 200 V (což je hodnota použitá při odvození konstant). Z rovnice (4.15) plyne, že přenos regulační smyčky vstupního proudu je nezávislý na vstupním napětí. (To platí za předpokladu, že nabíječka pracuje v režimu CCM, což je při vstupním napětí 75 V a výstupním výkonu 400 W splněno.) Dynamika regulační smyčky vstupního proudu byla tudíž při měření stejná jako při napájení ze sítě.

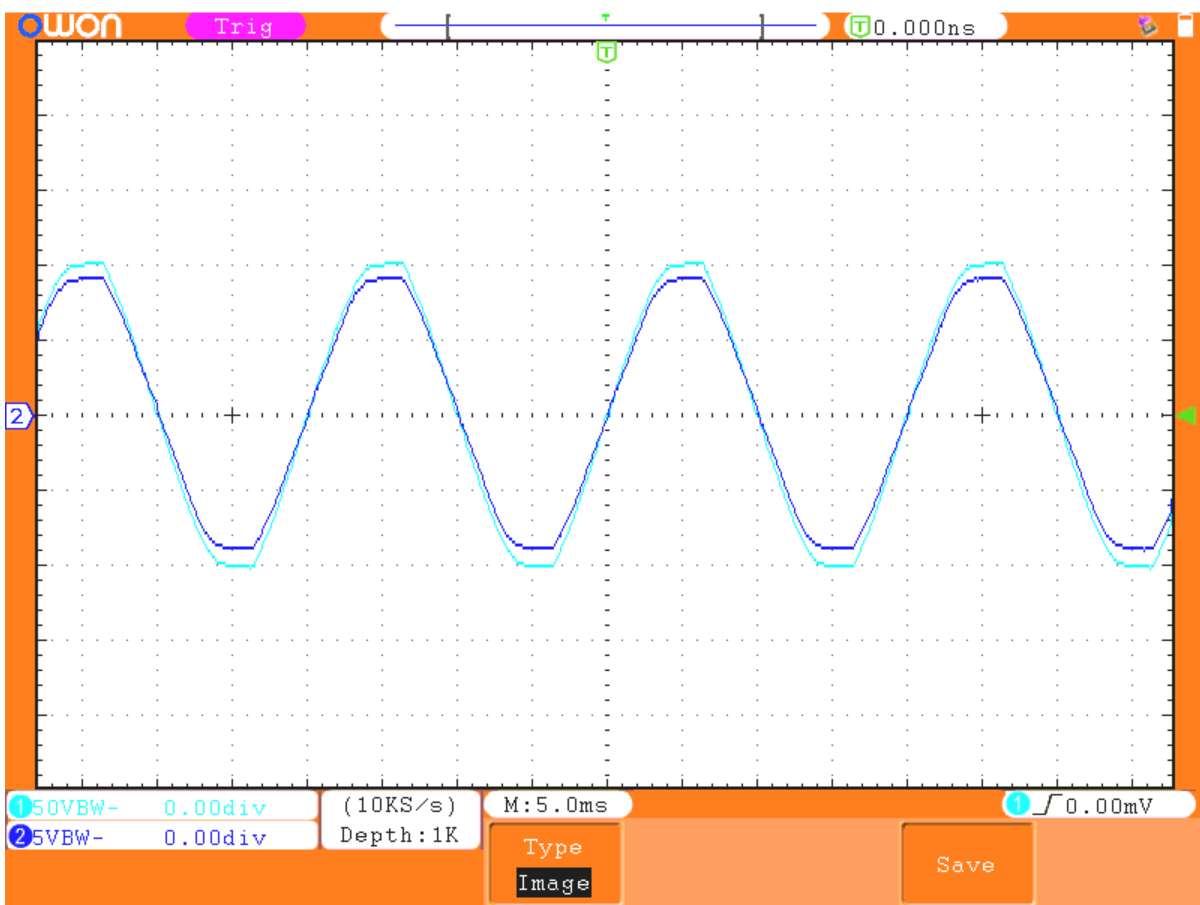
U regulátorů výstupních veličin jsou přenosové funkce závislé na vstupním napětí a odporu zátěže. U regulační smyčky výstupního napětí byl vliv nižšího vstupního napětí kompenzován pomocí VFF a smyčka měla stejnou dynamiku jako při napájení ze sítě. Naopak u regulátoru výstupního proudu neexistuje mechanismus, kterým by se kompenzoval nižší výstupní výkon, a proto bylo u této regulační smyčky dosaženo nižší šířky pásma, a tudíž i nižší dynamiky.

6.1.1 Vstupní veličiny

Osciloskopem zaznamenané průběhy vstupních veličin jsou na obrázcích 6.2 a 6.3.

Z oscilogramu je patrné, že regulátor je schopen sledovat referenční hodnotu vstupního proudu, která je dána vstupním napětím. Průběhy vstupního proudu a napětí se takřka překrývají a je možné usoudit vysoký podíl první harmonické složky v proudu. Na průběhu je patrný pouze malý fázový posun, který by bylo možné přisoudit filtraci vstupního napětí procesorem.

Na detailnějším oscilogramu 6.3 je patrné zkreslení v oblasti průchodu nulou. Toto zkreslení je ale srovnatelné se zkreslením popsáním v článku [11], ve kterém je taktéž použito DFF. (Připomeňme, že použitím DFF by mělo být zkreslení v oblasti průchodu nulou minimalizováno. [11])

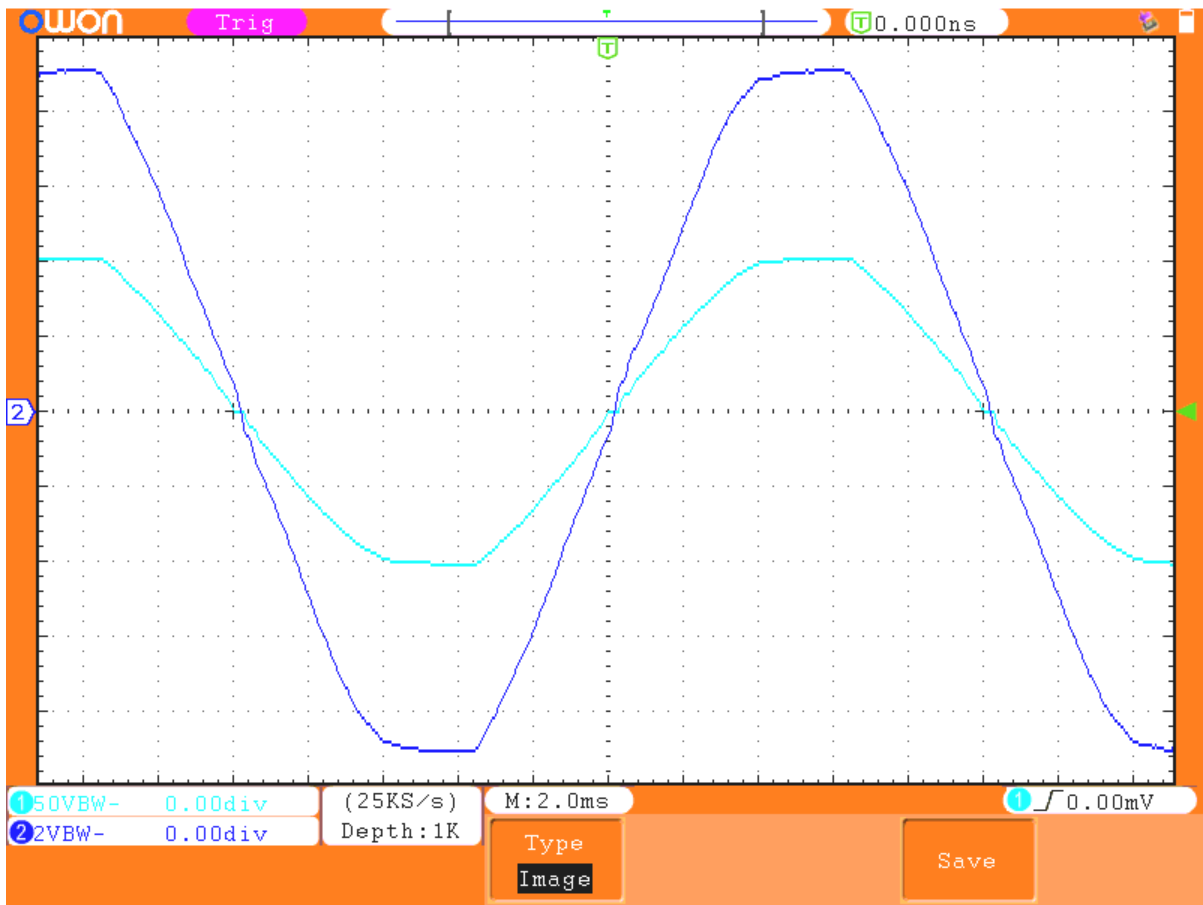


Obrázek 6.2: Oscilogram vstupních veličin při napájení 75 V (tyrkysová: V_{in} , 50V/div; modrá: I_{in} , 5A/div)

Data z MCU

Graf na obrázku 6.4 zobrazuje průběh odebíraného proudu a referenčního napětí tak, jak je vidí mikroprocesor. Signál $V_{in.flr}$ je vyfiltrované síťové napětí a $I_{in.si}$ je vstupní proud.

Z grafu je patrné, že referenční napětí nemá ideální průběh. Na referenčním napětí se projevuje rušení, a to zejména na sestupné a náběžné hraně signálu. Toto rušení by mohlo být dále potlačeno



Obrázek 6.3: Oscilogram vstupních veličin při napájení 75 V (tyrkysová: V_{in} , 50V/div; modrá: I_{in} , 2A/div)

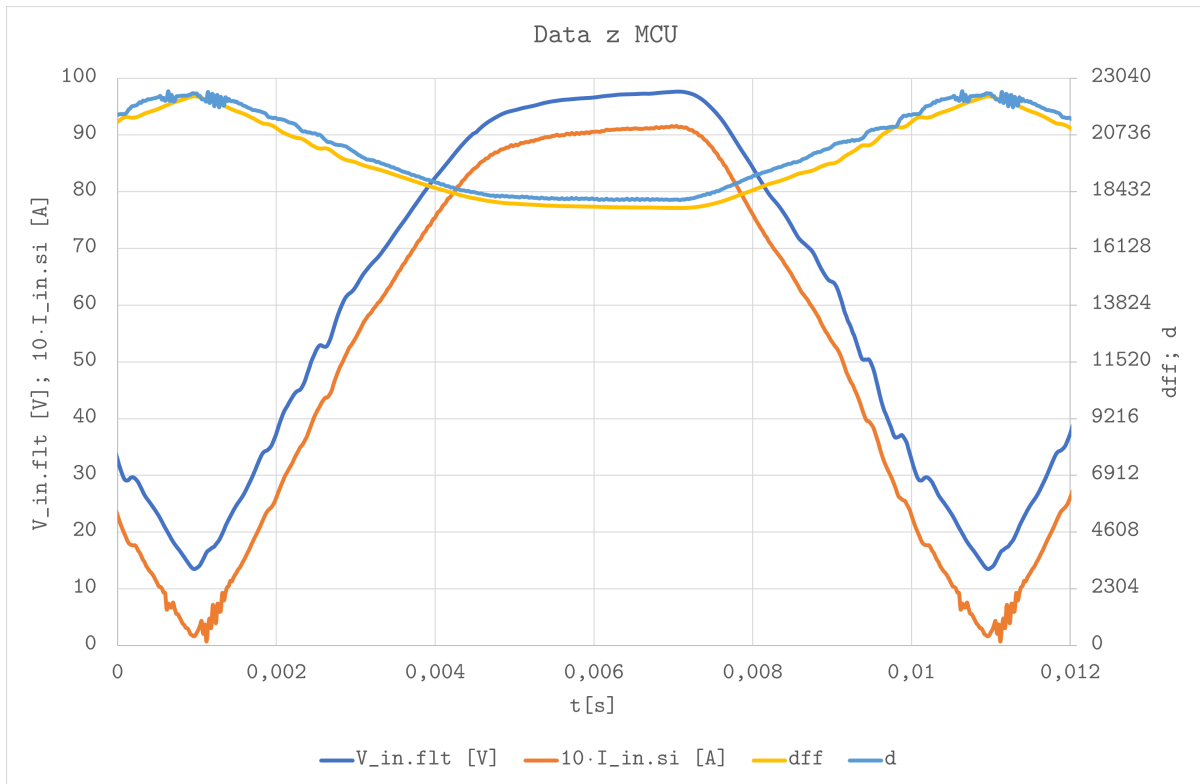
nižší šířkou pásma LPF, kterým je hodnota V_{in_flt} získávána. To by se ale nepříznivě projevilo na větším fázovém posunu.

Druhým problémem je, že napětí neklesá během periody k nule, ale pouze k hodnotě přibližně 15 V, a následně opět roste. Důvodem tohoto chování napětí může být vstupní kondenzátor řazený za usměrňovačem (C4 na obrázku 3.1). Odběr proudu je v okamžiku průchodu nulou malý a kondenzátor se zřejmě nestačí zcela vybit. Toto chování by bylo možné odstranit úpravou hardwaru měniče. Pokud by bylo vstupní napětí měřeno před usměrňovačem a následně softwarově usměrněno, pak by vstupní napětí klesalo k nule a mělo kýžený průběh i v okolí průchodu nulou. Další možností by bylo generování referenčního napětí pomocí PLL, čímž by zároveň bylo odstraněno rušení ze signálu. Jak je ale na oscilogramech patrné, napětí sítě nemá čistě sinusový průběh, a proto by použitím PLL došlo k odebrání deformačního výkonu.

I když referenční napětí nemá ideální průběh, regulátor zajistí, že se rušení promítne do vstupního proudu pouze minimálně. Taktéž neklesající hodnota napětí nečiní regulátoru velké problémy. I když jsou na datech z MCU patrné oscilace proudu v okolí nuly, tak na oscilogramech tyto oscilace nejsou vidět a průběhy odpovídají průběhům udávaným v literatuře. [11]

Na obrázku 6.4 je také zobrazen průběh dopředné a celkové střídý. Je vidět, že regulátor má díky DFF podstatně ulehčenu práci, protože nemusí kompenzovat celou střídu od nuly, ale pouze rozdíl mezi dopřednou střídou, která má průběh daný střídavým síťovým napětím, a střídou

zajišťující dobré sledování referenčního proudu.

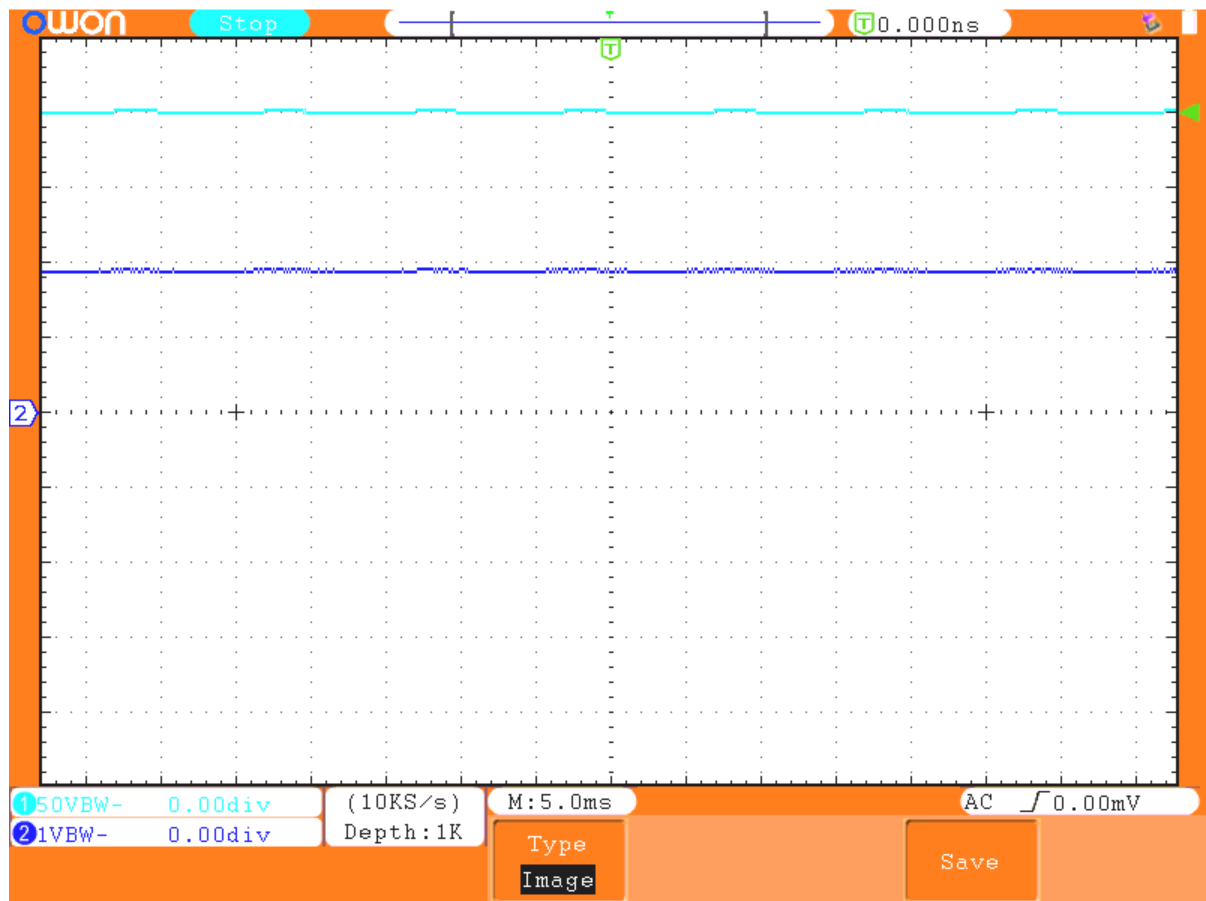


Obrázek 6.4: Data z MCU

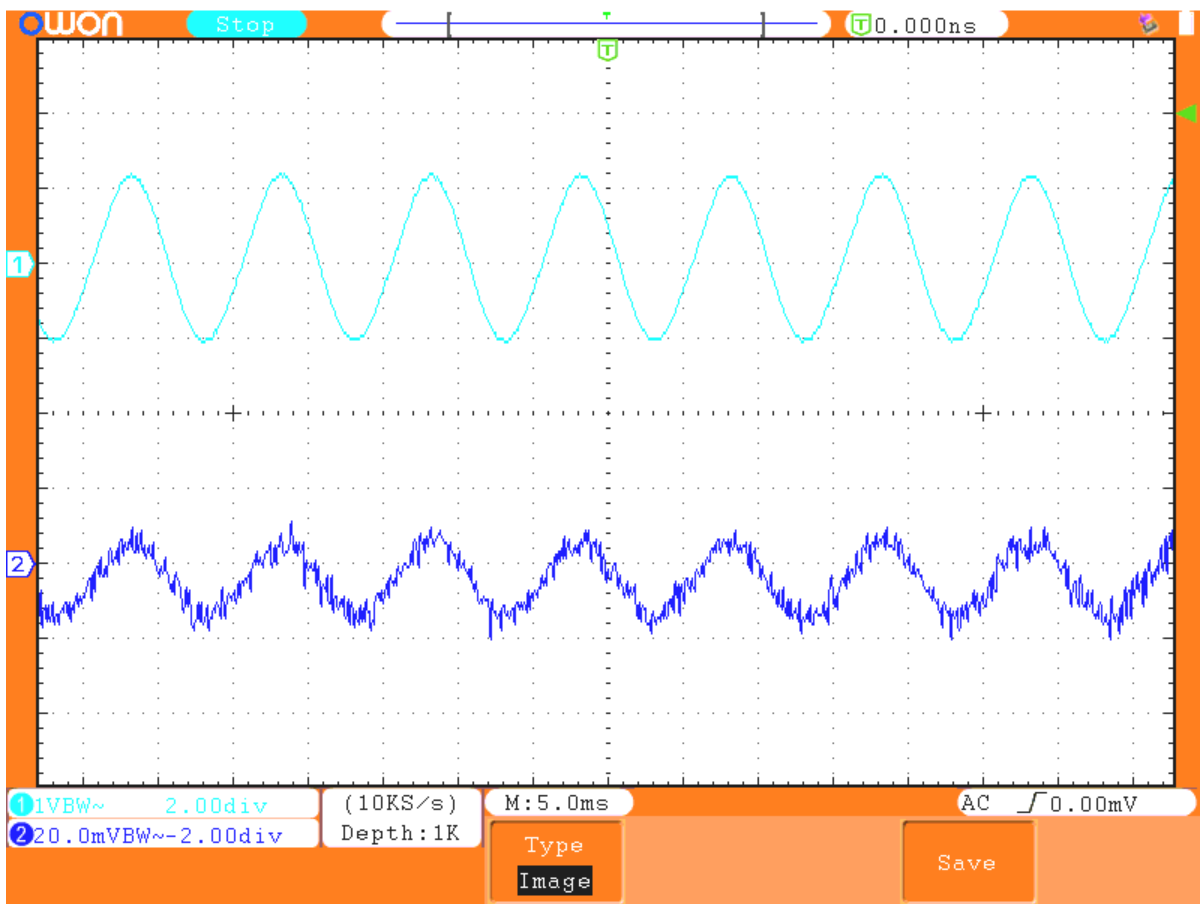
6.1.2 Výstupní veličiny

Průběh výstupních veličin je zobrazen na obrázcích 6.5 a 6.6. Na výstupním napětí je přítomno očekávané zvlnění na dvojnásobku síťové frekvence. Zvlnění na výstupním napětí při střední hodnotě 200 V dosahuje $\Delta V_{out}(pk - pk) = 2,2 \text{ V}$. Naměřené zvlnění odpovídá vzorci (2.1).

Zvlnění na výstupním proudu je přibližně 22 mA. Signál proudu je značně zarušen, neboť měřený úbytek na bočniku má malý odstup signál-šum.



Obrázek 6.5: Oscilogram výstupních veličin při napájení 75 V (tyrkysová: V_{out} 50V/div; modrá: I_{out} , 1A/div)



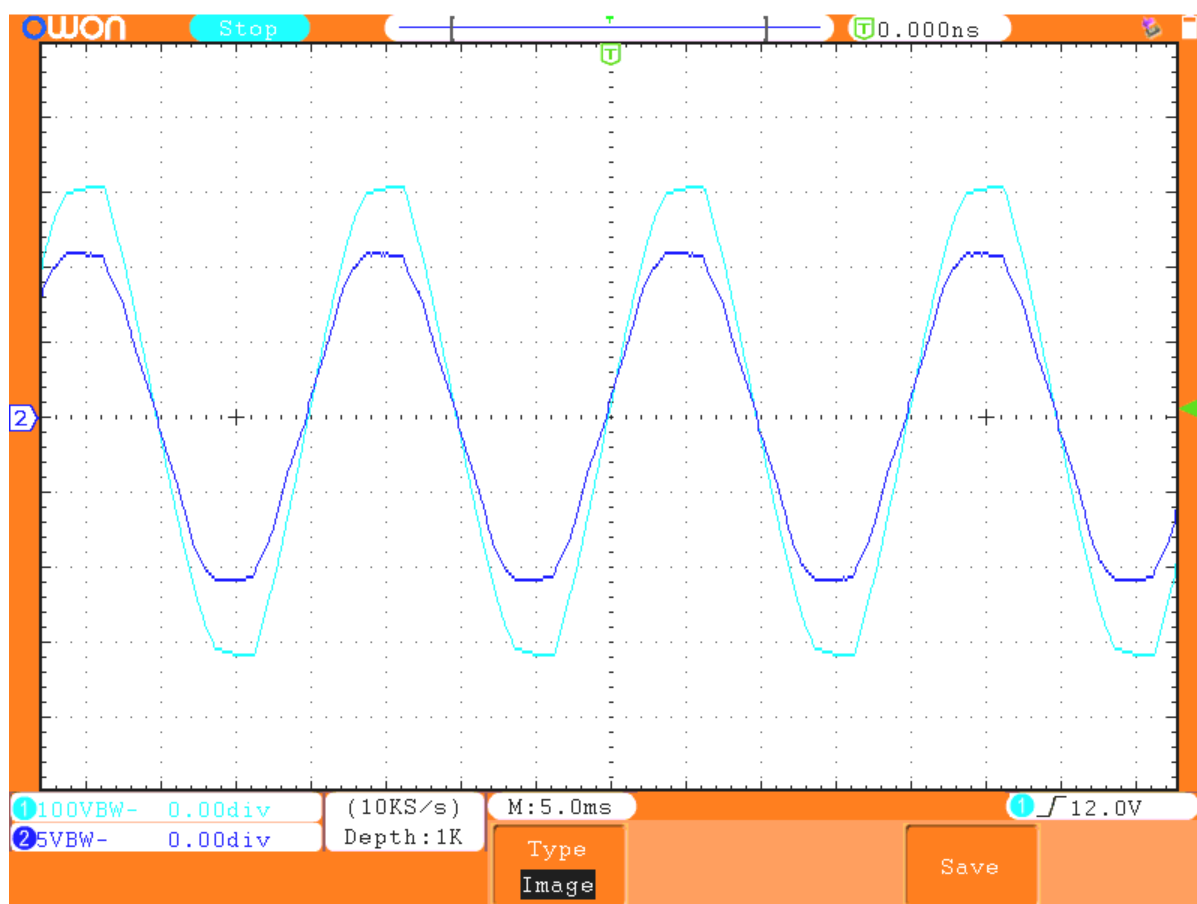
Obrázek 6.6: Oscilogram výstupních veličin při napájení 75 V (tyrkysová: V_{out} , 1V/div; modrá: I_{out} , 20mA/div)

6.2 Měření na 230 V

Po úspěšném ověření funkce na sníženém napětí byl měnič otestován při napájení plným síťovým napětím. Měření bylo provedeno v zapojení s autotransfornátorem na vstupu měniče. Autotransfornátorem bylo zvyšováno napětí až do dosažení 230 V na vstupu nabíječky. Během měření bylo výstupní napětí nastaveno na 200 V a výstupní výkon měniče byl 1,73 kW.

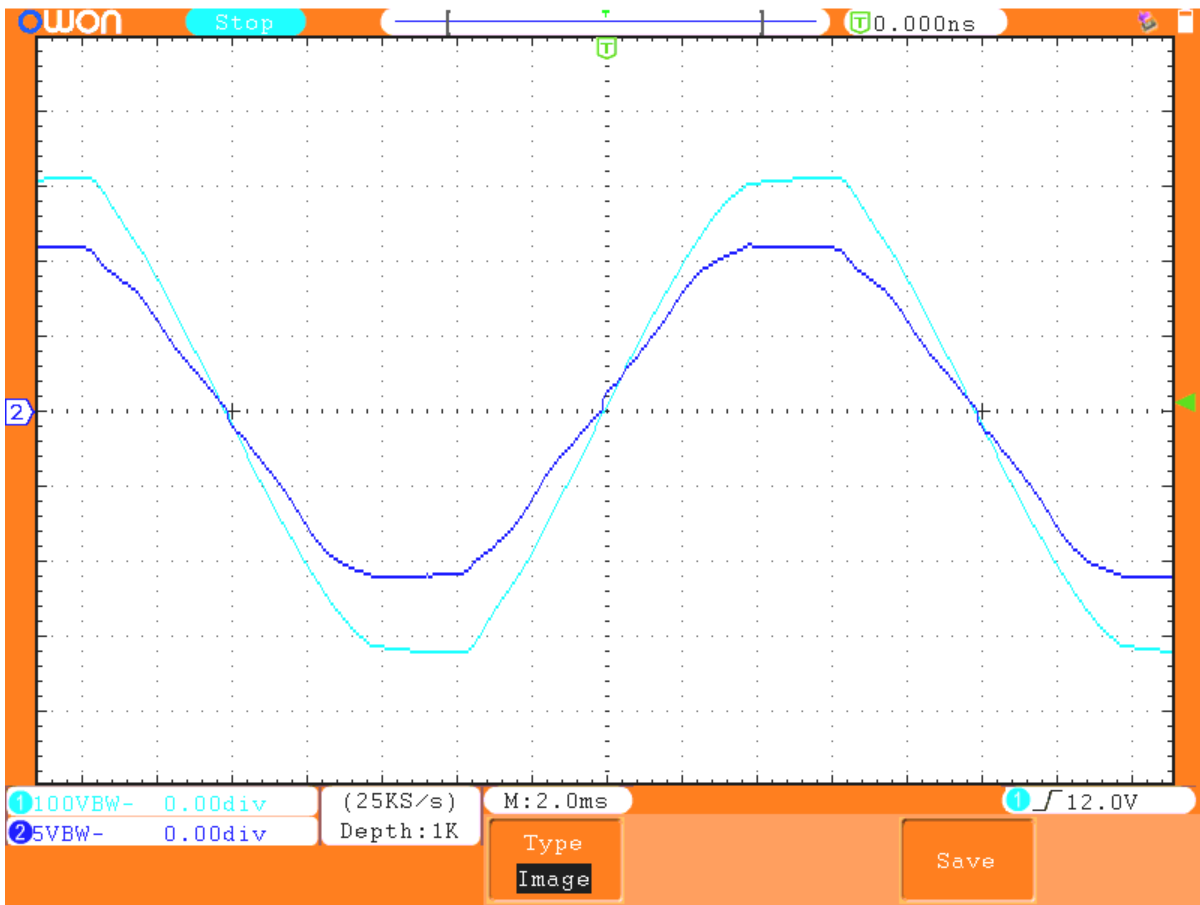
Opět byly použity konstanty regulátorů odvozené v kapitole 4. Rozdíl od popsaného odvození byl pouze v odlišném chování regulační smyčky výstupního proudu. Regulační smyčka měla kvůli menšímu výstupnímu výkonu měniče (1,73 kW namísto 2 kW) menší šířku pásma.

Naměřené průběhy vstupních veličin jsou zobrazeny na obrázcích 6.7 a 6.8.



Obrázek 6.7: Oscilogram vstupních veličin při napájení 230 V (tyrkysová: V_{in} 100V/div; modrá: I_{in} , 5A/div)

Porovnáním oscilogramů pro 75 V a 230 V je patrné, že došlo ke zhoršení průběhu vstupního proudu. Při měření na 230 V je více zřetelné zkreslení v oblasti průchodu nulou, které je tentokrát výraznější než běžně uváděné zkreslení v literatuře. [11] Proud také zcela nekopíruje napětí v oblasti náběžné a sestupné hrany napětí. I přes tyto nedostatky je možné z průběhu usoudit vysoký podíl první harmonické. Fázový posun průběhu napětí a proudu je také zanedbatelný. Ve výsledku měnič zřejmě odebírá velký podíl činného výkonu ze sítě a pracuje s velkým účínkem.



Obrázek 6.8: Oscilogram vstupních veličin při napájení 230 V (tyrkysová: V_{in} 100V/div; modrá: I_{in} , 5A/div)

6.2.1 Stanovení účinnosti a účinníku měniče

Tabulka 6.1 zobrazuje naměřené hodnoty vstupních a výstupních veličin při měření.

V_{in}	230 V
I_{in}	7,95 A
V_{out}	200 V
I_{out}	8,61 A
S_{in}	1,83 kVA
P_{out}	1,73 kW
$\eta\lambda$	0,94
η	$\langle 0,94; 1,00 \rangle$
λ	$\langle 0,94; 1,00 \rangle$

Tabulka 6.1: Vstupní a výstupní veličiny při měření na síťovém napětí

Z efektivních hodnot na vstupu lze získat vstupní zdánlivý výkon měniče S_{in} a z výstupních stejnosměrných hodnot výstupní činný výkon měniče P_{out} . Za předpokladu účinníku rovného

jedné platí rovnost vstupního zdánlivého a činného výkonu:

$$S_{in} = P_{in} \quad (6.1)$$

a lze poté určit účinnost měniče podílem výstupního výkonu P_{out} a vstupního výkonu P_{in} :

$$\eta = \frac{P_{out}}{P_{in}} = \frac{P_{out}}{S_{in}} = \frac{1730}{1830} = 0,94 \quad (6.2)$$

Ve skutečnosti nebude účinník roven jedné, ale bude mít menší hodnotu. To znamená, že i vstupní výkon P_{in} bude menší než S_{in} a skutečná účinnost pak bude větší. Účinnost se proto musí nacházet v intervalu $\langle 0,94; 1,00 \rangle$.

Analogicky je možné za předpokladu 100% účinnosti měniče určit spodní mez účinníku. Pro účinník poté obdobně platí, že se jeho hodnota musí nacházet v intervalu $\langle 0,94; 1,00 \rangle$.

Závěr

Diplomová práce se zabývala návrhem regulační struktury izolovaného měniče s aktivním PFC. Regulační struktura byla digitálně implementována pomocí 32bitového Cortex M4 mikroprocesoru STM32F334. Jako řídicí algoritmus byl zvolen digitální ACC. Volbou velké spínací frekvence PFC 200 kHz a tlumivky o indukčnosti 1200 μH je zajištěno, že měnič pracuje již od 5,5 % jmenovitého výkonu v CCM. Regulační struktura proto mohla být navržena výhradně pro CCM, bez nutnosti uvažovat další pracovní režimy, což podstatně zjednodušilo návrh řízení.

Součástí regulační struktury jsou tři regulátory. Regulační smyčky vstupního proudu a výstupního napětí, které jsou běžné u PFC aplikací, doplňuje regulační smyčka výstupního proudu, která souvisí s aplikací měniče jakožto nabíječky baterií. Regulační smyčka výstupního proudu omezuje hodnotu ekvivalentní vodivosti měniče tak, aby nedošlo k překročení maximálního nabíjecího proudu.

V druhé kapitole práce jsou představeny možnosti zlepšení algoritmu ACC, kterými je možné dosáhnout lepší korekce účinníku. K implementaci byly vybrány metody VFF a DFF, které by při výhradním provozu v CCM měly vést k dosažení vysokého účinníku.

Konstanty regulátorů byly určeny pomocí metody kompenzace Bodeho diagramu otevřené regulační smyčky. Byl k tomu použit program MATLAB Sisotool. Do programu byly vloženy konkrétní přenosové funkce otevřených regulačních smyček a program pro ně následně našel konstanty paralelního PI regulátoru tak, aby byla dosažena požadovaná šířka pásma a fázová bezpečnost kompenzované otevřené regulační smyčky.

Experimentální ověření bylo nejprve provedeno na sníženém napětí 75 V. Na prezentovaných oscilogramech je vidět, že se průběh odebíraného proudu blíží průběhu síťového napětí, z čehož je možné usoudit vysoký účinník. Na podrobnějším oscilogramu je vidět zkreslení v oblasti průchodu nulou, které ale odpovídá zkreslení při použití DFF uváděnému v literatuře.

Inspekci dat z MCU bylo zjištěno, že referenční napětí pro regulátor vstupního proudu nemá ideální průběh. Napětí je zkresleno rušením a neklesá během periody k nule.

Díky PI regulátoru se zkreslení referenčního napětí zcela nepromítne na vstupním proudu, přesto je možné předpokládat, že by zlepšením reference došlo zároveň i ke zlepšení průběhu vstupního proudu. Zlepšení referenčního napětí lze dosáhnout úpravou hardwaru tak, aby bylo vstupní napětí měřeno před usměrňovačem a následně usměrněno softwarově. Další možností je generovat referenční napětí pomocí PLL, což by si ale vyžádalo odběr deformačního výkonu ze sítě. I přesto, že referenční výstupní napětí nemá ideální průběh, je regulační struktura schopna zajistit, aby odebíraný proud měl tvar blízký síťovému napětí.

Po úspěšném otestování na 75 V byl měnič otestován na plném síťovém napětí při výstupním výkonu 1,73 kW. Porovnáním oscilogramů na sníženém napětí a plném napětí je patrné, že

došlo k zhoršení průběhu vstupního proudu. Vstupní proud vykazoval větší zkreslení v oblasti průchodu nulou i v oblasti náběžné a sestupné hrany. Přesto je v signálu patrný vysoký podíl první harmonické složky a fázový posun proudu vůči napětí je opět zanedbatelný.

Změřením vstupního zdánlivého výkonu a výstupního činného výkonu byl určen součin účinnosti a účinníku měniče $\eta\lambda = 0,94$. Z tohoto součinu lze odvodit minimální účinnost 94 % a minimální účinník 0,94 v daném pracovním bodě ($V_{in} = 230 \text{ V}$, $P_{out} = 1,73 \text{ kW}$, $V_{out} = 200 \text{ V}$).

Z určené minimální účinnosti, minimálního účinníku a ze zaznamenaných oscilogramů na 230 V je možné říci, že aktivní PFC plní dobře svoji funkci. Pokud ovšem porovnáme výsledky se soudobými články na toto téma, tak je patrný prostor pro další zlepšení. Vzhledem k tomu, že se jedná o izolovanou topologii, je možné považovat 94% účinnost za úspěch a lze předpokládat, že této účinnosti bylo dosaženo i díky použití SiC spínacích prvků.



Literatura

- [1] EMADI, Ali. Advanced electric drive vehicles. Boca Raton: CRC Press, Taylor & Francis Group, 2015. ISBN 9781466597693;1466597690.
- [2] BILLINGS, Keith H. a Taylor MOREY. Switchmode power supply handbook. 3rd. New York: McGraw-Hill, 2011. ISBN 9780071639712;0071639713.
- [3] BALÁTĚ, Jaroslav. Automatické řízení. 2. přeprac. vyd. Praha: BEN - technická literatura, 2004. ISBN 8073001489;9788073001483;.
- [4] PAVELKA, Jiří et al. Výkonová elektronika. Vyd. 3. přeprac. Praha: Nakladatelství ČVUT, 2007. ISBN 800103626X;9788001036266.
- [5] PAVELKA, Jiří, Jiří ZDĚNEK a České vysoké učení technické v Praze. Elektrotechnická fakulta. Elektrické pohony a jejich řízení. 1. vyd. V Praze: České vysoké učení technické, 2010. ISBN 9788001046425;8001046427.
- [6] VOŽENÍLEK, Petr et al. Elektromechanické měniče. Vyd. 1. Praha: České vysoké učení technické, 2005. ISBN 9788001031377;8001031373.
- [7] ÅSTRÖM, Karl Johan, HÄGGLUND, Tore PID Controllers: Theory, Design, and Tuning. 2. North Carolina: ISA - The Instrumentation, Systems and Automation Society, 1995.
- [8] HOLLOS, Stefan, HOLLOS, J. Richard Recursive Digital Filters: A Concise Guide. 1. Abrazol Publishing, 2014. ISBN 1887187278;9781887187275.
- [9] NÜRNBERGER, Vladislav Walter, Návrh moderní sítové nabíječky elektromobilu s vysokou hustotou výkonu. Praha, 2018.

Články:

- [10] GUSSEME, Koen De et al. Digitally controlled boost power-factor-correction converters operating in both continuous and discontinuous conduction mode. IEEE Transactions on Industrial Electronics (1982). 2005, vol. 52, no. 1, s. 88-97. ISSN 0278-0046.
- [11] VAN DE SYPE, D. M. et al. Duty-ratio feedforward for digitally controlled boost PFC converters. IEEE Transactions on Industrial Electronics (1982). 2005, vol. 52, no. 1, s. 108-115. ISSN 0278-0046.

- [12] PARK, Jin-Hyuk, Dae Joong KIM a Kyo-Beum LEE. Predictive Control Algorithm Including Conduction-Mode Detection for PFC Converter. *IEEE Transactions on Industrial Electronics* (1982). 2016, vol. 63, no. 9, s. 5900-5911. ISSN 0278-0046.
- [13] CHO, Younghoon. A Low Cost Single-Switch Bridgeless Boost PFC Converter. *International Journal of Power Electronics and Drive Systems*. 2014, vol. 4, no. 2, s. 256.
- [14] NAIR, Harish Sudhakaran a N. LAKSHMI NARASAMMA. An Improved Digital Algorithm for Boost PFC Converter Operating in Mixed Conduction Mode. *IEEE Journal of Emerging and Selected Topics in Power Electronics*. 2020;2019;, vol. 8, no. 4, s. 4235-4245. ISSN 2168-6777.
- [15] LI, Yong a Toshio TAKAHASHI. A digitally controlled 4-kW single-phase bridgeless PFC circuit for air conditioner motor drive applications [online]. *IEEE*, 2006. 1-5 s. ISBN 1424404487;9781424404483;.
- [16] JUN, Kang. Research on control scheme of single phase high efficiency bridgeless PFC based on GaN [online]. Stevenage, UK: IET, 2019. 153 s. ISBN 9781839531255;1839531258;.
- [17] JIANG, Zhiqiang et al. Fast controller based on active-power-feed-forward for PFC converter applied to UPS [online]. *IEEE*, 2005. 537-540 Vol. 1 s. ISBN 1048-2334.
- [18] K. De Gusseme, D. M. Van de Sype and J. A. A. Melkebeek, Design issues for digital control of boost power factor correction converters [online]. *IEEE*, 2002. doi: 10.1109/ISIE.2002.1025823.
- [19] SPIAZZI, C., P. MATTAVELLI a L. ROSSETTO. Power factor preregulators with improved dynamic response. *IEEE Transactions on Power Electronics*. 1997, vol. 12, no. 2, s. 343-349. ISSN 0885-8993.
- [20] PRODIC, A., D. MAKSIMOVIC a R. W. ERICKSON. Dead-zone digital controllers for improved dynamic response of low harmonic rectifiers. *IEEE Transactions on Power Electronics*. 2006, vol. 21, no. 1, s. 173-181. ISSN 0885-8993.
- [21] AMUDA, L. N. et al. Wide bandwidth single and three-phase PLL structures for grid-tied PV systems [online]. *IEEE*, 2000. 1660-1663 s. ISBN 0160-8371.
- [22] McDONALD, Brent and LOUGH, Ben. Power factor correction (PFC) circuit basics [online]. Texas Instruments. ti.com, 2020.
- [23] WANG, Jian-Min et al. Analysis and design of a boost PFC converter with sample-and-hold control techniques. *International Transactions on Electrical Energy Systems*. 2015, vol. 25, no. 11, s. 3122-3138. ISSN 2050-7038.
- [24] LAMO, Paula et al. Two-sample PLL with improved frequency response applied to single-phase current sensorless bridgeless PFCs [online]. *IEEE*, 2017. 1-7 s.
- [25] NGUYEN, Cong-Long a Hong-Hee LEE. An effective control scheme for a universal input battery charger in electric vehicle applications [online]. *IEEE*, 2012. 1-6 s. ISBN 9781467317726;1467317721;.

- [26] PRETORIUS, Kevin a Jurgen BIELA. Predictive average current control for power factor correction (PFC) across both continuous (CCM) and discontinuous (DCM) conduction modes [online]. EPE Association, 2018. 1-P.10 s.
- [27] VAN DE SYPE, D. M. et al. A sampling algorithm for digitally controlled boost PFC converters. *IEEE Transactions on Power Electronics*. 2004, vol. 19, no. 3, s. 649-657. ISSN 0885-8993.
- [28] BUSO, S. et al. Simple digital control improving dynamic performance of power factor preregulators. *IEEE Transactions on Power Electronics*. 1998, vol. 13, no. 5, s. 814-823. ISSN 0885-8993.
- [29] MOON, S., L. CORRADINI a D. MAKSIMOVIC. Autotuning of Digitally Controlled Boost Power Factor Correction Rectifiers. *IEEE Transactions on Power Electronics*. 2011, vol. 26, no. 10, s. 3006-3018. ISSN 0885-8993.
- [30] GUSSEME, Koen De et al. Input-Current Distortion of CCM Boost PFC Converters Operated in DCM. *IEEE Transactions on Industrial Electronics* (1982). 2007, vol. 54, no. 2, s. 858-865. ISSN 0278-0046.
- [31] YOUN, Han-Shin et al. A Digital Predictive Peak Current Control for Power Factor Correction With Low-Input Current Distortion. *IEEE Transactions on Power Electronics*. 2016, vol. 31, no. 1, s. 900-912. ISSN 0885-8993.
- [32] CHEN, Yang-Lin a Yaow-Ming CHEN. Line Current Distortion Compensation for DCM/CRM Boost PFC Converters. *IEEE Transactions on Power Electronics*. 2016, vol. 31, no. 3, s. 2026-2038. ISSN 0885-8993.
- [33] CLARK, Colin W., Fariborz MUSAVI a Wilson EBERLE. Digital DCM Detection and Mixed Conduction Mode Control for Boost PFC Converters. *IEEE Transactions on Power Electronics*. 2014, vol. 29, no. 1, s. 347-355. ISSN 0885-8993.
- [34] LIM, Shu Fan a Ashwin M. KHAMBADKONE. A Simple Digital DCM Control Scheme for Boost PFC Operating in Both CCM and DCM. *IEEE Transactions on Industry Applications*. 2011, vol. 47, no. 4, s. 1802-1812. ISSN 0093-9994.
- [35] TRIPATHI, R. K., S. P. DAS a G. K. DUBEY. Mixed-mode operation of boost switch-mode rectifier for wide range of load variations. *IEEE Transactions on Power Electronics*. 2002, vol. 17, no. 6, s. 999-1009. ISSN 0885-8993.
- [36] M. H. L. Chow, K. W. Siu, C. K. Tse and Yim-Shu Lee, "A novel method for elimination of line-current harmonics in single-stage PFC switching regulators," in *IEEE Transactions on Power Electronics*, vol. 13, no. 1, pp. 75-83, Jan. 1998, doi: 10.1109/63.654961.
- [37] Jindong Zhang, M. M. Jovanovic and F. C. Lee, "Comparison between CCM single-stage and two-stage boost PFC converters," *APEC '99. Fourteenth Annual Applied Power Electronics Conference and Exposition. 1999 Conference Proceedings (Cat. No.99CH36285)*, 1999, pp. 335-341 vol.1, doi: 10.1109/APEC.1999.749674.
- [38] PETREA, C. a M. LUCANU. Bridgeless power factor correction converter working at high load variations. *IEEE*, 2007. 1-4 s. ISBN 1424409683;9781424409686.

- [39] LU, B., R. BROWN a M. SOLDANO. Bridgeless PFC implementation using one cycle control technique. IEEE, 2005. 812-817 Vol. 2 s. ISBN 0780389751;9780780389755.
- [40] DEBOY, G. et al. Si, SiC and GaN power devices: An unbiased view on key performance indicators. IEEE, 2016. 20.2.1-20.2.4 s.

Normy:

- [41] EN 61000-3-2 (333432): Elektromagnetická kompatibilita (EMC) – Část 3 - 2: Meze pro emise harmonického proudu (zařízení se vstupním fázovým proudem do 16 A včetně).
- [42] EN 50160-3 (330122): Charakteristiky napětí elektrické energie dodávané z veřejných distribučních sítí.

Technická dokumentace MCU:

- [43] STM32F334 mikrokontrolér: technická dokumentace. St.com [online]. Dostupné z: <http://www.st.com/resource/en/datasheet/stm32f334k4.pdf>

Ostatní zdroje:

- [44] SUN, Bosheng. Duty-ratio feedforward control of digitally controlled PFC. [online] Power-systemsdesign.com, 2014
- [45] Toshiba Electronic Devices & Storage Corporation. Power Factor Correction (PFC) Circuits. [online] toshiba.semicon-storage.com, 2019
- [46] ON Semiconductor. Power Factor Correction (PFC) Handbook. [online] Onsemi.com, 2014
- [47] Infineon. Digital PFC CCM boost converter. Application Note. [online] Infineon.com, 2016



Příloha A

Seznam zkratk

Zkratka	Význam
ACC	Average Current Control
ADC	Analog Digital Converter / Analogově digitální převodník
BCM	Boundary Conduction Mode
CAN	Controller Area Network (typ datové sběrnice)
CCM	Continuous Conduction Mode / Režim nepřerušovaných proudů
CMP1	Compare jednotka 1 pro HRTIM
CMP2	Compare jednotka 2 pro HRTIM
CCR3	Compare jednotka 3 pro TIM2
CCR4	Compare jednotka 4 pro TIM2
DCM	Discontinuous Conduction Mode / Režim přerušovaných proudů
DDS	Direct Digital Synthesis
DFE	Duty Feed Forward (metoda použití dopředné střídy)
DMA	Direct Memory Access / Přímý přístup do paměti
DPWM	Digital Pulse Width Modulation / Digitální pulzně šířková modulace
DSP	Digitální signálový procesor
EMI	Electromagnetic Interference / Elektromagnetické rušení
EOC	End of Conversion / Konec převodu ADC
FES	Falling Edge Sampling / Vzorkování na sestupné hraně
FFT	Fast Fourier Transformation / Rychlá Fourierova transformace
FPGA	Field Programmable Gate Array / Programovatelné hradlové pole
FPU	Floating-point Unit / Matematický koprocessor
FSM	Finite-state machine / Konečný automat
HRTIM	High Resolution Timer / Timer s vysokým rozlišením
CH	Channel / Kanál
ISR	Interrupt Service Routine / Obsluha přerušení
LED	Light-emitting diode / Elektroluminiscenční dioda
LPF	Low-pass Filter / Filtr typu dolní propust
MCM	Mixed Conduction Mode
MCU	Microcontroller Unit / Mikrokontrolér
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
p.j.	Poměrná jednotka
PFC	Power Factor Correction / Korekce účinníku
PLL	Phase-locked Loop / Fázový závěs
PWM	Pulse Width Modulation / Pulzně šířková modulace
RES	Rising Edge Sampling / Vzorkování na náběžné hraně
RMS	Root Mean Square / Efektivní hodnota
SiC	Silicon Carbide / Karbid křemíku
SMPS	Switched-mode Power Supply / Spínaný zdroj
TC	Transfer Complete (stavový bit DMA)
THD	Total Harmonic Distortion / Celkové harmonické zkreslení
VFF	Voltage Feed-forward
ZOH	Zero-order Hold

Tabulka A.1: Seznam zkratek



Příloha B

Seznam symbolů

Symbol	Význam
C_{out}	kapacita výstupního vyhlazovacího kondenzátoru
C'	ekvivalentní kapacita
$\cos \varphi$	účinník
D	deformační výkon
d	střída
d_f	poměrná doba poklesu proudu tlumivkou
d_{fb}	zpětnovazební střída
d_{ff}	dopředná střída
$\Delta i_L(max)$	maximální zvlnění proudu tlumivkou
$\Delta V_{out}(pk - pk)$	zvlnění výstupního napětí (peak-peak)
η	účinnost
φ	fázový posun první harmonické napětí a proudu
f_g	síťová frekvence
f_H	spínací frekvence H-můstku
f_{PFC}	spínací frekvence PFC
f_{sw}	spínací frekvence
g_e	ekvivalentní vstupní vodivost
$G_{PI}(s)$	přenos PI regulátoru
$H_{delay}(s)$	přenos zpoždění
$H_p(s)$	přenos boost měniče
i_{in}	vstupní proud
i_L	proud cívkou
i_{out}	výstupní proud
k_1	normovací konstanta
k_{ADC}	zesílení ADC
κ	korekční faktor
k_i	integrační konstanta regulátoru
k_{div}	zesílení napěťového děliče
k_{MCU}	zesílení MCU
k_p	proporcionální konstanta regulátoru
k_{RMS}	konstanta pro získání efektivní hodnoty
k_{sh}	zesílení měřícího bočnicku
λ	skutečný účinník
p_{TR}	přenos transformátoru
P_1	činný výkon první harmonické
P_{out}	výstupní výkon
P_{max}	maximální výstupní výkon měniče
Q_1	jalový výkon první harmonické
R'	ekvivalentní odpor
R_L	odpor zátěže
S	celkový zdánlivý výkon
S_1	zdánlivý výkon první harmonické
S_{in}	vstupní zdánlivý výkon

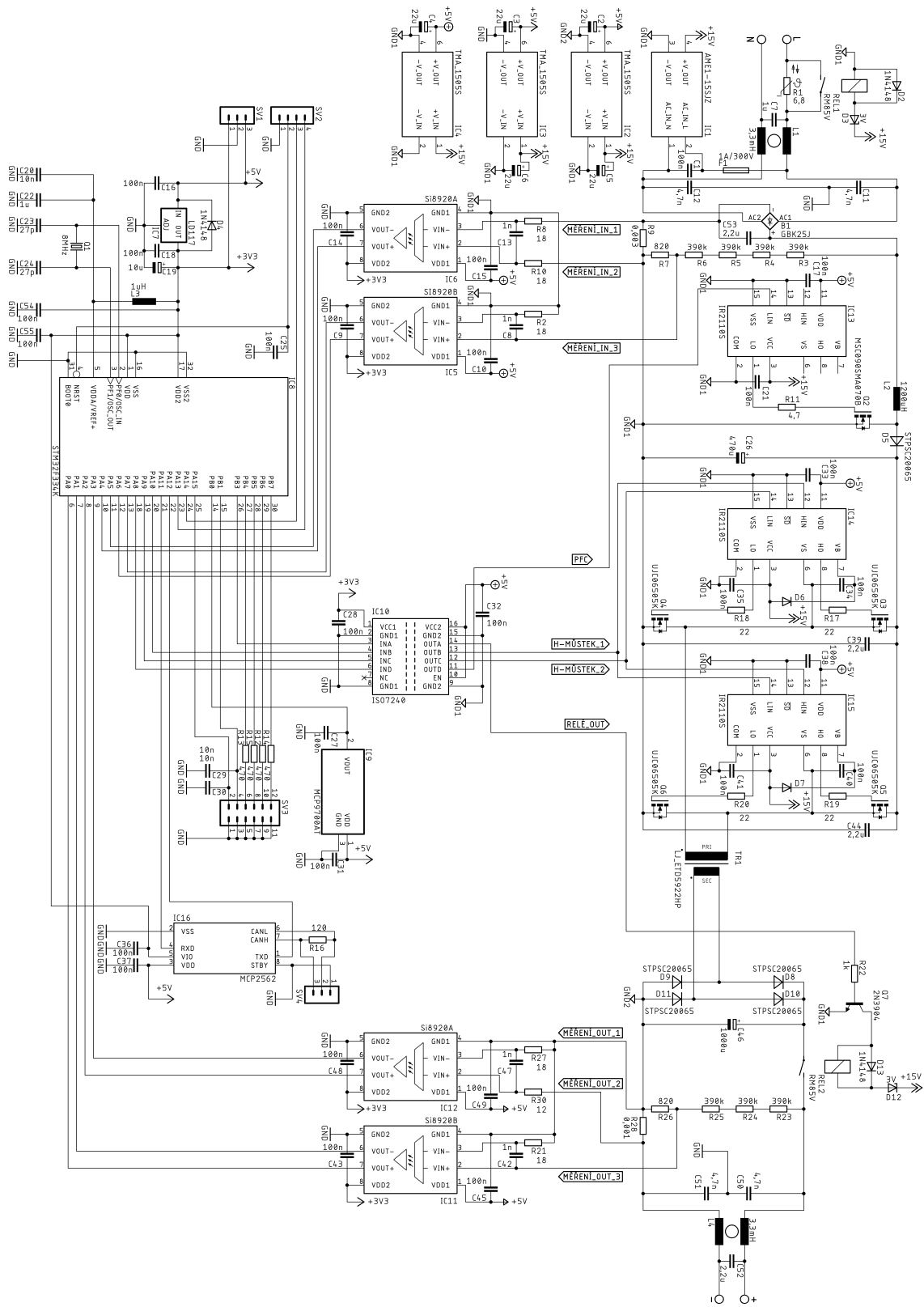
THD	Total Harmonic Distortion / Celkové harmonické zkreslení
T_{reg}	perioda vypočtu regulátoru
$T_o(s)$	přenos kompenzované otevřené regulační smyčky
T_{sw}	perioda spínání
v_{in}	vstupní napětí
v_L	napětí na cívce
v_{out}	výstupní napětí
v'_{out}	napětí stejnosměrného meziobvodu
V_{ref}	referenční napětí pro ADC
V_{rms}	efektivní hodnota vstupního napětí

Tabulka B.1: Seznam symbolů



Příloha C

Obvodové schéma



Obrázek C.1: Obvodové schéma



Příloha D

Fotografie prototypu nabíječky



Obrázek D.1: Fotografie prototypu nabíječky



Příloha E

Seznam elektronických příloh

- 1_obvodove_schema.png
- 2_zdrojovy_kod.zip